

JP10074937

Publication Title:

MANUFACTURE OF SEMICONDUCTOR DEVICE

Abstract:

Abstract of JP10074937

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device whose electrical characteristics can be easily controlled by forming an impurity area on the surface of a semiconductor substrate, without implanting ions directly and suppressing the generation of short channel effect or reverse short channel effect. **SOLUTION:** After the surface of an area for forming an S/D(source/drain) on a silicon substrate is exposed (step S6), an insulation film, containing second conductive impurities with specified concentration, is piled up on the entire surface thereof (step S7), and N-type impurities are thermally diffused thereon through heat treatment, so as to form a source area and a drain area (step P8). In comparison with the ion implantation, fewer point defects are implanted to the surface of the silicon substrate, and the diffusion of the second conductive impurities is suppressed. Therefore, the effective gate length can be kept longer, so that the generation of short channel effect may be suppressed, and reverse short channel effect can be also suppressed because of fewer generation of point defect.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-74937

(43) 公開日 平成10年(1998) 3月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/78		H 0 1 L	3 0 1 P
	21/336		21/225	D
	21/225			

審査請求 未請求 請求項の数11 O L (全 34 頁)

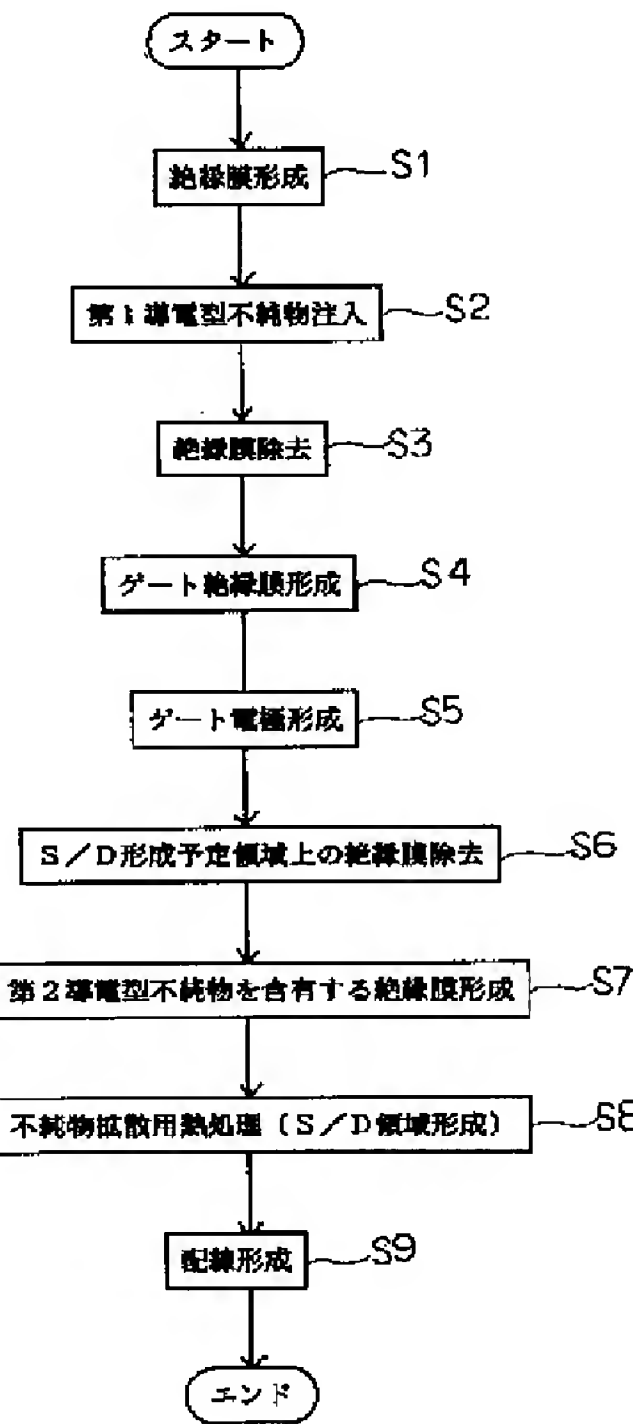
(21) 出願番号	特願平8-227961	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川 6 丁目 7 番35号
(22) 出願日	平成 8 年(1996) 8 月29日	(72) 発明者	大谷 秀樹 東京都品川区北品川 6 丁目 7 番35号 ソニ ー株式会社内

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 直接にイオン注入することなく半導体基板表面に不純物領域を形成して、短チャネル効果や逆短チャネル効果の発生を抑制し、電気特性を容易に制御することができる半導体装置の製造方法を提供することを課題とする。

【解決手段】 シリコン基板 1 0 の S / D 形成予定領域表面を露出させた後 (ステップ S 6)、全面に第 2 導電型不純物を所定濃度含有する絶縁膜 1 6 を堆積し (ステップ S 7)、熱処理によりシリコン基板 1 0 表面に N 型不純物を熱拡散させてソース領域 1 8 及びドレイン領域 2 0 を形成する (ステップ S 8)。このため、イオン注入法に比べて、シリコン基板 1 0 表面への点欠陥の注入が減少し、第 2 導電型不純物の拡散が抑制される。従って、実効ゲート長さを長く保つことが可能になるため、短チャネル効果の発生を抑制することができると共に、点欠陥の発生が少ないため、逆短チャネル効果の発生も抑制することができる。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板上に、ゲート絶縁膜を介してゲート電極を形成する工程と、
前記ゲート電極を形成した基体全面に、第2導電型不純物の拡散の媒体となる膜を形成する工程と、
前記第2導電型不純物の拡散の媒体となる膜から前記ゲート電極をマスクとして前記半導体基板表面に第2導電型不純物を拡散し、前記半導体基板表面に2つの不純物領域を選択的に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 第1導電型の半導体基板上に、ゲート絶縁膜を介してゲート電極を形成する工程と、
第2導電型不純物を含有する酸化性雰囲気中で熱処理して、前記半導体基板表面を熱酸化しつつ、前記ゲート電極をマスクとして前記半導体基板表面に第2導電型不純物を拡散し、前記半導体基板表面に2つの不純物領域を選択的に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 第1導電型の半導体基板上に、ゲート絶縁膜を介してゲート電極を形成する工程と、
前記ゲート電極を形成した基体全面に、半導体膜を堆積する工程と、
第2導電型不純物を含有する雰囲気中で熱処理して、前記ゲート電極をマスクとしつつ前記半導体膜を通して前記半導体基板表面に第2導電型不純物を拡散し、前記半導体基板表面に2つの不純物領域を選択的に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 請求項2又は3に記載の半導体装置の製造方法において、
前記半導体基板上に前記ゲート絶縁膜を介して前記ゲート電極を形成する工程の後、前記ゲート電極の周囲を耐酸化性膜により覆う工程を有することを特徴とする半導体装置の製造方法。

【請求項5】 請求項1乃至4のいずれかに記載の半導体装置の製造方法において、
前記半導体基板表面に前記2つの不純物領域を選択的に形成する工程の後、前記ゲート電極側面にサイドウォールスペーサを形成する工程と、
前記ゲート電極及び前記サイドウォールスペーサを形成した基体全面に、第2導電型不純物の拡散の媒体となる膜を形成する工程と、
前記第2導電型不純物の拡散の媒体となる膜から前記ゲート電極及び前記サイドウォールスペーサをマスクとして前記半導体基板表面に第2導電型不純物を拡散し、前記半導体基板表面に前記2つの不純物領域より高濃度の2つの不純物領域を選択的に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項1乃至4のいずれかに記載の半導体装置の製造方法において、
前記半導体基板表面に前記2つの不純物領域を選択的に

形成する工程の後、前記ゲート電極側面にサイドウォールスペーサを形成する工程と、
第2導電型不純物を含有する酸化性雰囲気中で熱処理して、前記半導体基板表面を熱酸化しつつ、前記ゲート電極及び前記サイドウォールスペーサをマスクとして前記半導体基板表面に第2導電型不純物を拡散し、前記半導体基板表面に前記2つの不純物領域より高濃度の2つの不純物領域を選択的に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】 請求項1乃至4のいずれかに記載の半導体装置の製造方法において、
前記半導体基板表面に前記2つの不純物領域を選択的に形成する工程の後、前記ゲート電極側面にサイドウォールスペーサを形成する工程と、
前記ゲート電極及び前記サイドウォールスペーサを形成した基体全面に、半導体膜を堆積する工程と、
第2導電型不純物を含有する雰囲気中で熱処理して、前記ゲート電極及び前記サイドウォールスペーサをマスクとしつつ前記半導体膜を通して前記半導体基板表面に第2導電型不純物を拡散し、前記半導体基板表面に前記2つの不純物領域より高濃度の2つの不純物領域を選択的に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】 請求項1又は5に記載の半導体装置の製造方法において、
前記第2導電型不純物の拡散の媒体となる膜を形成する工程が、第2導電型不純物を含有する絶縁膜を堆積する工程であることを特徴とする半導体装置の製造方法。

【請求項9】 請求項1又は5に記載の半導体装置の製造方法において、
前記第2導電型不純物の拡散の媒体となる膜を形成する工程が、第2導電型不純物を含有する半導体膜を堆積する工程であることを特徴とする半導体装置の製造方法。

【請求項10】 請求項1又は5に記載の半導体装置の製造方法において、
前記第2導電型不純物の拡散の媒体となる膜を形成する工程が、半導体膜を堆積した後、前記半導体膜に第2導電型不純物を添加する工程であることを特徴とする半導体装置の製造方法。

【請求項11】 請求項6又は7に記載の半導体装置の製造方法において、
前記ゲート電極側面に前記サイドウォールスペーサを形成する工程の後、前記ゲート電極及び前記サイドウォールスペーサの周囲を耐酸化性膜により覆う工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係り、特に表面チャネル型電界効果トランジスタの製造方法に関するものである。

【0002】

【従来の技術】従来の表面チャネル型電界効果トランジスタ、例えば通常の表面チャネル型MOSFET (Metal Oxide Semiconductor Field Effect Transistor) の製造方法を、図25及び図26を用いて説明する。ここで、図25は従来の表面チャネル型MOSFETの製造工程を示す流れ図、図26はその製造工程の一部を示す簡略断面図である。

【0003】先ず、シリコン基板10上に、次のイオン注入の工程においてバッファとして用いられる絶縁膜を形成する(図25ステップS21)。続いて、イオン注入法を用いて、シリコン基板10に第1導電型不純物、例えばB(硼素)又はIn(インジウム)等のP型不純物をイオン注入する(図25ステップS22)。このイオン注入工程は、チャネル領域の不純物濃度を制御して、MOSFETの閾値電圧の調整を行うための工程である。続いて、シリコン基板10上の絶縁膜をエッチング除去する(図25ステップS23)。続いて、露出しているシリコン基板10表面に例えば熱酸化処理を施し、酸化シリコン膜からなるゲート絶縁膜12を形成する(図25ステップS24)。続いて、このゲート絶縁膜12上に、例えばポリシリコン層を堆積した後、所定の形状にパターンニングして、ポリシリコン層からなるゲート電極14を形成する(図25ステップS25、図26(a)参照)。

【0004】次いで、イオン注入法を用いて、ゲート電極14をマスクとしてシリコン基板10表面に第2導電型不純物、例えばP(燐)又はAs(砒素)等のN型不純物を選択的にイオン注入し、シリコン基板10表面にソース領域18及びドレイン領域20を相対して形成する。このとき、ソース領域18とドレイン領域20との間に挟まれたシリコン基板10表面はチャネル領域22となる(図25ステップS26、図26(b)参照)。続いて、所定温度において不純物活性化用熱処理を行い、ソース領域18及びドレイン領域20に注入されたN型不純物イオンを活性化する(図25ステップS27、図26(c)参照)。最後に、全面に絶縁膜を堆積した後、この絶縁膜を除去したり加工したりして、必要な配線を形成する(図25ステップS28)。このようにして表面チャネル型N-MOSFET(Nチャネル型MOSFET)を作製する。

【0005】次に、従来のLDD(Lightly Doped Drain)領域を有する表面チャネル型MOSFETの製造方法を、図27及び図28を用いて説明する。ここで、図27は従来のLDD構造の表面チャネル型MOSFETの製造工程を示す流れ図、図28はその製造工程の一部を示す簡略断面図である。なお、上記図25の製造工程と同一の工程には同一の符号を付し、上記図26の表面チャネル型MOSFETの構成要素と同一の要素には同一の符号を付して説明を省略する。

【0006】先ず、上記図25ステップS21～S24と同様にして、シリコン基板10上に絶縁膜を形成し(図27ステップS21)、この絶縁膜をバッファとして、イオン注入法により、シリコン基板10に第1導電型不純物としてP型不純物をイオン注入した後(図27ステップS22)、シリコン基板10上の絶縁膜を除去し(図27ステップS23)、続いて、露出してシリコン基板10表面にゲート絶縁膜12を形成する(図27ステップS24)。次いで、ゲート絶縁膜12上に、ポリシリコン層及び絶縁膜を積層して形成した後、これら2層を所定の形状にパターンニングして、絶縁膜72を上に乗せたゲート電極14を形成する(図27ステップS25a、図28(a)参照)。

【0007】次いで、イオン注入法により、ゲート電極14をマスクとしてシリコン基板10表面に第2導電型不純物、例えばP又はAs等のN型不純物を選択的にイオン注入し、シリコン基板10表面にLDD領域36、38を相対して形成する。このとき、LDD領域36、38間に挟まれたシリコン基板10表面はチャネル領域22となる(図27ステップS29)。

【0008】次いで、全面に絶縁膜を堆積し、この絶縁膜のエッチバックを行って、ゲート電極14側面にサイドウォールスペーサ40を形成すると共に、シリコン基板10のS/D(ソース/ドレイン)形成予定領域表面を露出させる(図27ステップS30、図28(b)参照)。次いで、イオン注入法により、ゲート電極14及びサイドウォールスペーサ40をマスクとしてシリコン基板10表面に第2導電型不純物、例えばP又はAs等のN型不純物を選択的にイオン注入し、シリコン基板10表面にソース領域18及びドレイン領域20を形成する(図27ステップS26a、図28(c)参照)。このとき、ソース領域18及びドレイン領域20を形成するためのイオン注入のドーズ量は、LDD領域36、38を形成するためのイオン注入のドーズ量より多い。

【0009】次いで、不純物活性化用熱処理を行い、LDD領域36、38並びにソース領域16及びドレイン領域18に注入されたN型不純物イオンを活性化する。このとき、ソース領域18及びドレイン領域20の不純物濃度は、LDD領域36、38の不純物濃度よりも高濃度となる(図27ステップS27a、図28(d)参照)。最後に、全面に絶縁膜を堆積した後、この絶縁膜を除去したり加工したりして、必要な配線を形成する(図27ステップS28a)。このようにしてLDD構造の表面チャネル型N-MOSFETを作製する。

【0010】以上、表面チャネル型N-MOSFETを例として、通常の表面チャネル型N-MOSFET及びLDD構造の表面チャネル型N-MOSFETの製造工程を説明した。ここで、ソース領域18及びドレイン領域20並びにLDD領域36、38の形成工程に、イオン注入法が一般的に用いられているのは、不純物の量及

び不純物の分布などの制御が容易であり、不純物の種類も様々に用意することができるという利点のためである。

【0011】なお、表面チャネル型P-MOSFET（Pチャネル型MOSFET）の場合は、上述した製造工程の中に、P型不純物をN型不純物に、N型不純物をP型不純物に変えることにより、ほぼ同様な製造工程を用いて、表面チャネル型P-MOSFETを作製することができるため、重複を避けるため、ここでは表面チャネル型N-MOSFETの製造方法についてのみ説明を行った。

【0012】

【発明が解決しようとする課題】ところで、近年の半導体装置の高集積化・微細化に伴い、電界効果トランジスタ、例えばMOSFETのゲート長さの短縮化が進み、MOSFETのチャネル領域の縮小が目立つようになってきた。このようにMOSFETにおけるゲート長さが短縮化すると、一般に、ある長さから急に閾値電圧が減少する傾向が現れる。この現象は短チャネル効果と呼ばれ、比較的古くから知られている。この短チャネル効果は、ゲート長さが短くなると、ゲート長さに対して電流経路領域が相対的に大きくなり、あるゲート長さから急に電流値が大きくなるために生じる現象である。従って、短チャネル効果はゲート長さが短くなると避けられない現象である。

【0013】しかし、半導体集積回路装置の更なる微細化に伴い、MOSFETのゲート長さの短縮化が更に進むと、ゲート長さが短縮化するにつれて、閾値が一旦上昇した後、短チャネル効果に従って急に減少するという現象が見られる。これに関しては多くの報告がされている。そしてこの短チャネル効果によって減少する直前の閾値電圧の上昇現象を逆短チャネル効果と呼んでいる。このような短チャネル効果及び逆短チャネル効果を図29に示す。ここで、図29は短チャネル効果及び逆短チャネル効果が現れる場合のゲート長さと閾値電圧との関係を模式的に示したグラフである。このグラフ中、実線は逆短チャネル効果が現れる場合を示し、破線は逆短チャネル効果が現れない場合を示す。

【0014】図29において、MOSFETのゲート長さが短縮化するにつれ、実線の場合も破線の場合も全体としてはMOSFETの閾値電圧が低下する傾向にある。この現象は一般に知られている短チャネル効果によるものである。しかし、実線の場合は、ゲート長さの短縮化につれて閾値電圧が低下する直前に、閾値電圧が上昇している。この現象が逆短チャネル効果によるものである。そして短チャネル効果は通常のMOSFETにおいては常に表れる現象であるが、逆短チャネル効果は全ての場合に常に現れるとは限らず、場合によって異なる。どのような場合に顕著に発生するかは現在のところ明確には解明されていない。しかし、主として、半導体

基板表面近傍に電流経路を有する構造のMOSFETにおいて観測されるという結果が多く報告されている。

【0015】従って、このような半導体基板表面近傍に電流経路を有するMOSFET、いわゆる表面チャネル型MOSFETについて、以下の図30～図33を用いて、逆短チャネル効果の原因を説明する。ここで、図30は通常の表面チャネル型N-MOSFETの概略構成を示す断面図、図31はLDD構造の表面チャネル型N-MOSFETの概略構成を示す断面図、図32は図30の通常の表面チャネル型N-MOSFETのA-A線断面における不純物濃度分布を模式的に示すグラフ、図33は図31のLDD構造の表面チャネル型N-MOSFETのB-B線断面における不純物濃度分布を模式的に示すグラフである。

【0016】図30及び図31において、表面チャネル型N-MOSFETを構成する10はシリコン基板、12は絶縁膜、14はゲート電極、18はソース領域、20はドレイン領域、22はキャリアの通るチャネルが形成されるチャネル領域、36、38はLDD領域、40はサイドウォールスペーサ、Sはソース領域18に接続するソース電極端子、Dはドレイン領域20に接続するドレイン電極端子、Gはゲート電極14に接続するゲート電極端子である。ここで、チャネル領域22を含むシリコン基板10全体にはP型不純物がドーピングされており、ソース領域18及びドレイン領域20並びにLDD領域36、38にはN型不純物がドーピングされている。

【0017】図32及び図33において、実線は点欠陥モデルを考慮したプロセスシミュレーションによる不純物濃度分布を示す。また、破線は参考のために記載したものであり、点欠陥による拡散や不純物同士の相互拡散等を考慮しない従来の古典的なプロセスシミュレーションによる不純物濃度分布を示す。

【0018】図32及び図33のグラフから明らかなように、チャネル領域22のP型不純物濃度分布において、PN接合部近傍に小さなピークが生じる。このP型不純物の小ピークは、ソース領域18及びドレイン領域20又はLDD領域36、38に注入された点欠陥の拡散により、ゲート電極14下のチャネル領域22と同型のP型不純物がチャネル領域22より深いシリコン基板10や、ソース領域18及びドレイン領域20、又はLDD領域36、38からゲート電極14下の浅いチャネル領域22へ拡散してくるという現象を起こし、チャネル領域22のP型不純物が再分布することを示している。

【0019】このような現象が生じると、ゲート長さによってゲート電極14下のチャネル領域22のP型不純物濃度分布が変化し、それに伴ってチャネル領域22のポテンシャル分布が変化するため、チャネル領域22を流れるキャリアの様子も変化することになる。このた

め、閾値電圧がゲート長さによって変化し、逆短チャネル効果が現れる。こうしたことから、逆短チャネル効果は電流経路のポテンシャル分布がゲート長さによって一律に変化しないために起こる現象であると考えられる。そしてポテンシャル分布がゲート長さによって変化する原因は、イオン注入時等に生じる点欠陥によって不純物が再分布し、ゲート電極下のチャネル領域の不純物に2次元的な偏りを生じるためであるという考え方が近年の考え方の主流である。

【0020】以上のように、イオン注入時等に生じる点欠陥の拡散に起因する不純物再分布によってチャネル領域22の不純物に偏りを生じることが、逆短チャネル効果の原因であるという考えが一般に受け入れられつつある。従って、上記図25～図28を用いて説明した従来の表面チャネル型MOSFETの製造方法においては、ソース領域18及びドレイン領域20並びにLDD領域36、38の形成工程にイオン注入法を用いており、イオン注入と同時にシリコン基板10表面に点欠陥が生じるため、不純物の拡散を促進してしまう。その結果、実効的なゲート長さが短くなり、ゲート電極14下のチャネル領域22における不純物分布に偏りを生じて、短チャネル効果や逆短チャネル効果の発生を促進することになる。そしてゲート長さの短縮化が要求されるMOSFETにおいて、このような短チャネル効果や逆短チャネル効果が生じると、閾値電圧などの電気特性の制御が益々困難になるという問題が生じる。

【0021】そこで本発明は、このような問題を解決するため、直接にイオン注入することなく半導体基板表面に不純物領域を形成して、短チャネル効果や逆短チャネル効果の発生を抑制し、閾値電圧などの電気特性を容易に制御することができる半導体装置の製造方法を提供することを課題とする。

【0022】

【課題を解決するための手段】上記課題は、以下の本発明に係る半導体装置の製造方法により達成される。即ち、請求項1に係る半導体装置の製造方法は、第1導電型の半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、このゲート電極を形成した基体全面に第2導電型不純物の拡散の媒体となる膜を形成する工程と、この第2導電型不純物の拡散の媒体となる膜からゲート電極をマスクとして半導体基板表面に第2導電型不純物を拡散し、半導体基板表面に2つの不純物領域を選択的に形成する工程とを有することを特徴とする。このように請求項1に係る半導体装置の製造方法においては、半導体基板表面に2つの不純物領域、例えばS/D領域を形成する際に、第2導電型不純物の拡散の媒体となる膜から半導体基板表面に第2導電型不純物を拡散させることにより、半導体基板表面への点欠陥の注入を減少させて、第2導電型不純物の拡散を抑制する。従って、実効ゲート長さを長く保つことが可能になるため、

短チャネル効果の発生を抑制することができると共に、点欠陥の発生が少ないため、逆短チャネル効果の発生も抑制することができる。

【0023】また、請求項2に係る半導体装置の製造方法は、第1導電型の半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、第2導電型不純物を含有する酸化性雰囲気中で熱処理して、半導体基板表面を熱酸化しつつ、ゲート電極をマスクとして半導体基板表面に第2導電型不純物を拡散し、半導体基板表面に2つの不純物領域を選択的に形成する工程とを有することを特徴とする。このように請求項2に係る半導体装置の製造方法においては、半導体基板表面に2つの不純物領域、例えばS/D領域を形成する際に、第2導電型不純物を含有する酸化性雰囲気中で熱処理を行うことにより、半導体基板表面に熱酸化膜を形成しつつ、第2導電型不純物を熱拡散させるため、半導体基板表面への点欠陥の注入を減少させて、第2導電型不純物の拡散を抑制する。従って、上記請求項1に係る場合と同様に、実効ゲート長さを長く保つことが可能になるため、短チャネル効果の発生を抑制することができると共に、点欠陥の発生が少ないため、逆短チャネル効果の発生も抑制することができる。

【0024】また、請求項3に係る半導体装置の製造方法は、第1導電型の半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、このゲート電極を形成した基体全面に半導体膜を堆積する工程と、第2導電型不純物を含有する雰囲気中で熱処理して、ゲート電極をマスクとしつつ半導体膜を通して半導体基板表面に第2導電型不純物を拡散し、半導体基板表面に2つの不純物領域を選択的に形成する工程とを有することを特徴とする。このように請求項3に係る半導体装置の製造方法においては、半導体基板表面に2つの不純物領域、例えばS/D領域を形成する際に、不純物を含有していない半導体膜を形成した後、第2導電型不純物を含有する雰囲気中で熱処理を行うことにより、半導体膜を通して半導体基板表面に第2導電型不純物を熱拡散させるため、半導体基板表面への点欠陥の注入を減少させて、第2導電型不純物の拡散を抑制する。従って、上記請求項1又は2に係る場合と同様に、実効ゲート長さを長く保つことが可能になるため、短チャネル効果の発生を抑制することができると共に、点欠陥の発生が少ないため、逆短チャネル効果の発生も抑制することができる。

【0025】また、本発明に係る半導体装置の製造方法は、上記半導体装置の製造方法において、半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程の後、ゲート電極の周囲を耐酸化性膜により覆う工程を有する構成とすることができる。このようにゲート電極の周囲を耐酸化性膜により覆った後に、上記請求項2又は3に係る半導体装置の製造方法を用いて、半導体基板表面に2つの不純物領域、例えばS/D領域を形成するた

め、その際にゲート電極周囲を覆う耐酸化性膜によりゲート電極側面が熱酸化されることはない。従って、ゲート電極側面の熱酸化によるゲート長さの減少が防止されるため、上記請求項2又は3に係る場合よりも更に効果的に短チャネル効果の発生を抑制することができると共に、逆短チャネル効果の発生も抑制することができる。

【0026】また、本発明に係る半導体装置の製造方法は、上記半導体装置の製造方法において、半導体基板表面に2つの不純物領域を選択的に形成した後、ゲート電極側面にサイドウォールスペーサを形成する工程と、ゲート電極及びサイドウォールスペーサを形成した基体全面に第2導電型不純物の拡散の媒体となる膜を形成する工程と、この第2導電型不純物の拡散の媒体となる膜からゲート電極及びサイドウォールスペーサをマスクとして半導体基板表面に第2導電型不純物を拡散し、半導体基板表面に前記2つの不純物領域より高濃度の2つの不純物領域を選択的に形成する工程とを有する構成とすることができる。このように上記半導体装置の製造方法を用いて、2つの不純物領域、即ちLDD領域を形成した後、上記請求項1に係る半導体装置の製造方法を用いて、前記2つの不純物領域より高濃度の2つの不純物領域、即ちS/D領域を形成しているため、ゲート長さの減少を防止すると共に、半導体基板表面への点欠陥の注入を減少させて、第2導電型不純物の拡散を抑制する。従って、LDD構造の電界効果トランジスタにおいても、実効ゲート長さを長く保つことが可能になるため、短チャネル効果の発生を抑制することができると共に、点欠陥の発生が少ないため、逆短チャネル効果の発生も抑制することができる。

【0027】また、本発明に係る半導体装置の製造方法は、上記半導体装置の製造方法において、半導体基板表面に2つの不純物領域を選択的に形成した後、ゲート電極側面にサイドウォールスペーサを形成する工程と、第2導電型不純物を含有する酸化性雰囲気中で熱処理して、半導体基板表面を熱酸化しつつ、ゲート電極及びサイドウォールスペーサをマスクとして半導体基板表面に第2導電型不純物を拡散し、半導体基板表面に前記2つの不純物領域より高濃度の2つの不純物領域を選択的に形成する工程とを有する構成とすることができる。このように上記半導体装置の製造方法を用いて、2つの不純物領域、即ちLDD領域を形成した後、上記請求項2に係る半導体装置の製造方法を用いて、前記2つの不純物領域より高濃度の2つの不純物領域、即ちS/D領域を形成しているため、ゲート長さの減少を防止すると共に、半導体基板表面への点欠陥の注入を減少させて、第2導電型不純物の拡散を抑制する。従って、LDD構造の電界効果トランジスタにおいても、実効ゲート長さを長く保つことが可能になるため、短チャネル効果の発生を抑制することができると共に、点欠陥の発生が少ないため、逆短チャネル効果の発生も抑制することができ

る。

【0028】また、本発明に係る半導体装置の製造方法は、上記半導体装置の製造方法において、半導体基板表面に2つの不純物領域を選択的に形成した後、ゲート電極側面にサイドウォールスペーサを形成する工程と、ゲート電極及びサイドウォールスペーサを形成した基体全面に、半導体膜を堆積する工程と、第2導電型不純物を含有する雰囲気中で熱処理して、ゲート電極をマスクとしつつ半導体膜を通して半導体基板表面に第2導電型不純物を拡散し、半導体基板表面に前記2つの不純物領域より高濃度の2つの不純物領域を選択的に形成する工程とを有する構成とすることができる。このように上記半導体装置の製造方法を用いて、2つの不純物領域、即ちLDD領域を形成した後、上記請求項2に係る半導体装置の製造方法を用いて、前記2つの不純物領域より高濃度の2つの不純物領域、即ちS/D領域を形成しているため、ゲート長さの減少を防止すると共に、半導体基板表面への点欠陥の注入を減少させて、第2導電型不純物の拡散を抑制する。従って、LDD構造の電界効果トランジスタにおいても、実効ゲート長さを長く保つことが可能になるため、短チャネル効果の発生を抑制することができると共に、点欠陥の発生が少ないため、逆短チャネル効果の発生も抑制することができる。

【0029】また、上記半導体装置の製造方法において、第2導電型不純物の拡散の媒体となる膜を形成する工程としては、第2導電型不純物を含有する絶縁膜を堆積する工程であることが好適である。また、上記半導体装置の製造方法において、第2導電型不純物の拡散の媒体となる膜を形成する工程としては、第2導電型不純物を含有する半導体膜を堆積する工程であることが好適である。また、上記半導体装置の製造方法において、第2導電型不純物の拡散の媒体となる膜を形成する工程としては、半導体膜を堆積した後、半導体膜に第2導電型不純物を添加する工程であることが好適である。

【0030】また、本発明に係る半導体装置の製造方法は、上記半導体装置の製造方法において、ゲート電極側面にサイドウォールスペーサを形成する工程の後、ゲート電極及びサイドウォールスペーサの周囲を耐酸化性膜により覆う工程を有することを特徴とする。このようにゲート電極及びサイドウォールスペーサの周囲を耐酸化性膜により覆った後に、上記半導体装置の製造方法を用いて、半導体基板表面に2つの不純物領域、即ちS/D領域を形成するため、その際にゲート電極及びサイドウォールスペーサの周囲を覆う耐酸化性膜によりゲート電極側面が熱酸化されることはなくなる。従って、ゲート電極側面が熱酸化されることによるゲート長さの減少が防止されるため、更に効果的に短チャネル効果の発生を抑制することができると共に、逆短チャネル効果の発生も抑制することができる。

【0031】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の実施の形態を説明する。

（第1の実施形態）本発明の第1の実施形態に係る半導体装置の製造方法を、図1及び図2を用いて説明する。ここで、図1は本実施形態に係る通常の表面チャネル型MOSFETの製造工程を示す流れ図であり、図2はその製造工程の一部を示す簡略断面図である。本実施形態においては、従来のイオン注入法を用いたS/D領域形成工程の代わりに、第2導電型不純物を含有する絶縁膜からの不純物熱拡散によるS/D領域形成工程を用いている点に特徴がある。

【0032】先ず、シリコン基板10上に、絶縁膜を形成する（図1ステップS1）。この絶縁膜は、例えば酸化シリコン（ SiO_2 ）膜等であり、次のシリコン基板10へのイオン注入工程において、バッファとして用いられるものである。続いて、イオン注入法を用いて、シリコン基板10に第1導電型不純物をイオン注入する（図1ステップS2）。ここで、第1導電型不純物は、例えばB又はIn等のP型不純物である。そしてこのイオン注入工程は、チャネル領域の不純物濃度を制御することにより、パンチスルーを抑制し、MOSFETの閾値電圧の調整を行うための工程である。続いて、シリコン基板10上の絶縁膜をエッチング除去する（図1ステップS3）。続いて、露出してシリコン基板10表面に、例えば熱酸化処理を施し、酸化シリコン膜からなるゲート絶縁膜12を形成する（図1ステップS4）。続いて、このゲート絶縁膜12上に、例えばポリシリコン層を形成した後、所定の形状にパターニングして、ポリシリコン層からなるゲート電極14を形成する（図1ステップS5、図2（a）参照）。

【0033】なお、ここには図示はしないが、従来のLDD構造のMOSFETの製造方法を説明した上記図28に示すように、ゲート電極14上にゲート電極14を保護するため等の絶縁膜を形成してもよい。このゲート電極14上に絶縁膜を形成してもよいことは、以下に述べる第2～第12の実施形態の場合においても同様である。そしてこれまでの図1のステップS1～S5の工程は、従来の表面チャネル型MOSFETの製造工程と同様である。

【0034】次いで、ゲート電極14をマスクとしてシリコン基板10上のゲート絶縁膜12を選択的にエッチングし、S/D形成予定領域上のゲート絶縁膜12を除去する（図1ステップS6、図2（b）参照）。この工程は、シリコン基板10のS/D形成予定領域表面を露出させて、次の工程において形成する不純物拡散源としての絶縁膜とS/D形成予定領域であるシリコン基板10表面とが直に接するようにするための工程である。次いで、全面に、例えばCVD（Chemical Vapour Deposition）法を用いて、第2導電型不純物を所定濃度含有する絶縁膜16を所定の厚さに堆積する（図1ステップS

7、図2（c）参照）。ここで、第2導電型不純物は、例えばP又はAs等のN型不純物である。

【0035】次いで、所定温度における所定時間の熱処理を行い、N型不純物を含有する絶縁膜16を不純物拡散源として、シリコン基板10表面にN型不純物を熱拡散し、ソース領域18及びドレイン領域20を相対して形成する。このとき、ソース領域18とドレイン領域20との間に挟まれたシリコン基板10表面は、チャネル領域22となる（図1ステップS8、図2（d）参照）。なお、この絶縁膜16からシリコン基板10表面へのN型不純物の熱拡散工程は、従来のイオン注入法と比較すると、いわば静的に進行するため、ソース領域16及びドレイン領域18内に点欠陥が発生することは少ない。また、イオン注入法の場合のように、その後更に不純物活性化用熱処理を行う必要はない。最後に、絶縁膜16を除去したり加工したりして、必要な配線を行う（図1ステップS9）。このようにしてN-MOSFETを作製する。

【0036】以上説明したように、本第1の実施形態に係る通常の表面チャネル型N-MOSFETの製造方法においては、シリコン基板10表面にソース領域18及びドレイン領域20を形成する際に、N型不純物を含有する絶縁膜16からシリコン基板10表面にN型不純物を熱拡散させることにより、シリコン基板10表面への点欠陥の注入を減少させて、N型不純物の拡散を抑制する。従って、実効ゲート長さを長く保つことが可能になるため、短チャネル効果の発生を抑制することができると共に、点欠陥の発生が少ないため、逆短チャネル効果の発生も抑制することができる。

【0037】（第2の実施形態）本発明の第2の実施形態に係る半導体装置の製造方法を、図3及び図4を用いて説明する。ここで、図3は本実施形態に係る通常の表面チャネル型MOSFETの製造工程を示す流れ図であり、図4はその製造工程の一部を示す簡略断面図である。なお、上記図1の製造工程と同一の工程には同一の符号を付し、上記図2の表面チャネル型MOSFETの構成要素と同一の要素には同一の符号を付して説明を省略する。本実施形態においては、図3のステップS1～S6に示す工程が、上記第1の実施形態の図1のステップS1～S6の工程と同様であり、上記図1のステップS7の第2導電型不純物を含有する絶縁膜を堆積する工程の代わりに、図3のステップS10に示す第2導電型不純物を含有する半導体膜を堆積する工程を設けている点に特徴がある。

【0038】先ず、上記第1の実施形態の図1のステップS1～S6の工程と同様にして、シリコン基板10上に絶縁膜を形成し（図3ステップS1）、この絶縁膜をバッファとしてシリコン基板10に第1導電型不純物としてP型不純物イオンを注入した後（図3ステップS2）、シリコン基板10上の絶縁膜を除去する（図3ス

トップS3)。続いて、シリコン基板10上にゲート絶縁膜12を形成し(図3ステップS4)、このゲート絶縁膜12上にゲート電極14を形成した後(図3ステップS5)、このゲート電極14をマスクとしてシリコン基板10上のゲート絶縁膜12を選択的にエッチング除去し、シリコン基板10のS/D形成予定領域表面を露出させる(図3ステップS6、図4(a)参照)。

【0039】次いで、全面に、第2導電型不純物として例えばP又はAs等のN型不純物を所定濃度含有する半導体膜24を所定の厚さに堆積する(図3ステップS10、図4(b)参照)。この半導体膜24は、例えばポリシリコン膜等である。次いで、所定温度における所定時間の熱処理を行い、N型不純物を含有する半導体膜24を不純物拡散源として、シリコン基板10表面にN型不純物を熱拡散し、ソース領域18及びドレイン領域20を相対して形成すると共に、これらソース領域18とドレイン領域20との間に挟まれたシリコン基板10表面をチャンネル領域22とする(図3ステップS8a、図4(c)参照)。最後に、半導体膜24をエッチング除去した後、全面に絶縁膜を堆積し、更に必要に応じてこの絶縁膜を除去したり加工したりして、必要な配線を行う(図3ステップS9a)。このようにしてN-MOSFETを作製する。

【0040】以上説明したように、本第2の実施形態に係る通常の表面チャンネル型N-MOSFETの製造方法においては、シリコン基板10表面にソース領域18及びドレイン領域20を形成する際に、上記第1の実施形態におけるN型不純物を含有する絶縁膜16の代わりに、N型不純物を含有する半導体膜24を拡散源として用い、このN型不純物を含有する半導体膜24からシリコン基板10表面にN型不純物を拡散させているため、上記第1の実施形態の場合と同様の効果を奏することができる。

【0041】(第3の実施形態)本発明の第3の実施形態に係る半導体装置の製造方法を、図5及び図6を用いて説明する。ここで、図5は本実施形態に係る通常の表面チャンネル型MOSFETの製造工程を示す流れ図であり、図6はその製造工程の一部を示す簡略断面図である。なお、上記図3の製造工程と同一の工程には同一の符号を付し、上記図4の表面チャンネル型MOSFETの構成要素と同一の要素には同一の符号を付して説明を省略する。本実施形態においては、図5のステップS1～S6に示す工程が、上記第2の実施形態の図3のステップS1～S6の工程と同様であり、上記図3のステップS10の第2導電型不純物を含有する半導体膜を堆積する工程の代わりに、図5のステップS11～S12に示す半導体膜を堆積する工程及びこの半導体膜に第2導電型不純物を添加する工程を設けている点に特徴がある。

【0042】先ず、上記第2の実施形態の図3のステップS1～S6の工程と同様にして、シリコン基板10上

に絶縁膜を形成し(図5ステップS1)、この絶縁膜をバッファとしてシリコン基板10に第1導電型不純物としてP型不純物をイオン注入した後(図5ステップS2)、シリコン基板10上の絶縁膜を除去する(図5ステップS3)。続いて、シリコン基板10上にゲート絶縁膜12を形成し(図5ステップS4)、このゲート絶縁膜12上にゲート電極14を形成した後(図5ステップS5)、このゲート電極14をマスクとしてシリコン基板10上のゲート絶縁膜12を選択的にエッチング除去し、シリコン基板10のS/D形成予定領域表面を露出させる(図5ステップS6、図6(a)参照)。

【0043】次いで、全面に、不純物を含有していない半導体膜26を所定の厚さに堆積する(図5ステップS11)。続いて、例えばイオン注入法により、半導体膜26に第2導電型不純物として例えばP又はAs等のN型不純物を注入する(図5ステップS12、図6(b)参照)。次いで、上記第2の実施形態の図3のステップS8aの工程と同様にして、所定温度における所定時間の熱処理を行い、N型不純物を注入した半導体膜26を不純物拡散源として、シリコン基板10表面にN型不純物を熱拡散し、ソース領域18及びドレイン領域20を相対して形成すると共に、これらソース領域18とドレイン領域20との間に挟まれたシリコン基板10表面をチャンネル領域22とする(図5ステップS8b、図6(c)参照)。最後に、半導体膜26をエッチング除去した後、全面に絶縁膜を堆積し、更に必要に応じてこの絶縁膜を除去したり加工したりして、必要な配線を行う(図5ステップS9b)。このようにしてN-MOSFETを作製する。

【0044】以上説明したように、本第3の実施形態に係る通常の表面チャンネル型N-MOSFETの製造方法においては、シリコン基板10表面にソース領域18及びドレイン領域20を形成する際に、上記第2の実施形態におけるN型不純物を含有する半導体膜24の代わりに、不純物を含有していない半導体膜26に第2導電型不純物を例えばイオン注入したものを拡散源として用い、このN型不純物を注入した半導体膜26からシリコン基板10表面にN型不純物を拡散させているため、上記第2の実施形態の場合と同様の効果を奏することができる。但し、上記第3の実施形態においては、図5のステップS12の工程においてイオン注入法を用いた場合には多少の点欠陥がシリコン基板10表面に注入されてしまうため、短チャンネル効果又は逆短チャンネル効果の発生を抑制する効果は上記第1の実施形態の場合よりも多少小さくなることが予想される。

【0045】なお、上記第2及び第3の実施形態においては、上記図3及び図5のステップS9a、S9bの配線形成工程において、半導体膜24、26をエッチング除去した後、絶縁膜を堆積しているが、適当な厚さの半導体膜24、26を残存させておいてもよい。その理由

を以下に述べる。

【0046】近年、S/D領域と配線とのコンタクトをとる際に、S/D領域全面にオーミックコンタクトがとれるようにするため、例えばTi（チタン）等からなる金属層を介在させる方法が広く採用されつつある。しかし、このコンタクト方法においては、半導体基板表面のS/D領域と金属層とが反応し、その影響が半導体基板深くにまで及ぶため、S/D領域の厚さを厚く形成する必要がある。また、この反応時に大量の点欠陥がS/D領域に発生してしまうことも知られている。このため、このコンタクト方法はS/D領域と配線とのコンタクトのオーミック性に優れているという利点の反面、短チャネル効果や逆短チャネル効果を助長してしまうという欠点を伴っている。従って、上記第2及び第3の実施形態において、シリコン基板10表面のソース領域18及びドレイン領域20上に、適当な厚さの半導体膜24、26を残存させておくことにより、Ti等の金属層との反応や点欠陥の発生が残存させた半導体膜24、26内に止まり、半導体基板10表面にまで到達しないようにすることが可能となる。即ち、短チャネル効果や逆短チャネル効果の発生を抑制する効果を損なうことなく、ソース領域18及びドレイン領域20と配線とのオーミックコンタクトを確保することが可能となる。

【0047】（第4の実施形態）本発明の第4の実施形態に係る半導体装置の製造方法を、図7及び図8を用いて説明する。ここで、図7は本実施形態に係る通常の表面チャネル型MOSFETの製造工程を示す流れ図であり、図8はその製造工程の一部を示す簡略断面図である。なお、上記図1の製造工程と同一の工程には同一の符号を付し、上記図2の表面チャネル型MOSFETの構成要素と同一の要素には同一の符号を付して説明を省略する。本実施形態においては、図7のステップS1～S6に示す工程が、上記第1の実施形態の図1のステップS1～S6の工程と同様であり、上記図1のステップS7～S8の第2導電型不純物を含有する絶縁膜を堆積する工程及びこの絶縁膜から第2導電型不純物を拡散してS/D領域を形成する工程の代わりに、図7のステップS13に示す第2導電型不純物を含有する酸化性雰囲気中で熱処理によりS/D領域を形成する工程を設けている点に特徴がある。

【0048】先ず、上記第1の実施形態の図1のステップS1～S6の工程と同様にして、シリコン基板10上に絶縁膜を形成し（図7ステップS1）、この絶縁膜をバッファとしてシリコン基板10に第1導電型不純物としてP型不純物をイオン注入した後（図7ステップS2）、シリコン基板10上の絶縁膜を除去する（図7ステップS3）。続いて、シリコン基板10上にゲート絶縁膜12を形成し（図7ステップS4）、このゲート絶縁膜12上にゲート電極14を形成した後（図7ステップS5）、このゲート電極14をマスクとしてシリコン

基板10上のゲート絶縁膜12を選択的にエッチング除去し、シリコン基板10のS/D形成予定領域表面を露出させる（図7ステップS6、図8（a）参照）。

【0049】次いで、第2導電型不純物としてN型不純物を所定濃度含有する酸化性雰囲気中でシリコン基板10表面の熱酸化を行い、シリコン基板10表面並びにゲート電極14上面及び側面に所定膜厚の熱酸化膜28を形成しつつ、シリコン基板10表面にN型不純物を熱拡散して、ソース領域18及びドレイン領域20を相対して形成すると共に、これらソース領域18とドレイン領域20との間に挟まれたシリコン基板10表面をチャネル領域22とする（図7ステップS13、図8（b）参照）。

【0050】なお、このS/D形成工程において、熱酸化を用いたのは、単なる気相拡散によってはソース領域18及びドレイン領域20を高濃度不純物領域として形成することができないからである。また、この熱酸化は、ソース領域18及びドレイン領域20内に拡散させるN型不純物の活性化を同時に行うため、従来のイオン注入法の場合のように、その後更に不純物活性化用熱処理を行う必要はない。

【0051】最後に、必要に応じて全面に絶縁膜を形成した後、この絶縁膜及び熱酸化膜28を除去したり加工したりして、必要な配線を行う（図7ステップS9c）。このようにしてN-MOSFETを作製する。

【0052】以上説明したように、本第4の実施形態に係る通常の表面チャネル型N-MOSFETの製造方法においては、シリコン基板10表面にソース領域18及びドレイン領域20を形成する際に、N型不純物を含有する雰囲気中で熱酸化を行うことによりシリコン基板10表面にN型不純物を拡散させるため、シリコン基板10表面への点欠陥の注入を減少させて、N型不純物の拡散を抑制する。従って、実効ゲート長さを長く保つことが可能になるため、短チャネル効果の発生を抑制することができると共に、点欠陥の発生が少ないため、逆短チャネル効果の発生も抑制することができる。但し、上記第4の実施形態においては、イオン注入法の場合ほど大量ではないが、図7のステップS13の工程における熱酸化によっても点欠陥がシリコン基板10表面に注入されてしまうため、短チャネル効果又は逆短チャネル効果の発生を抑制する効果は上記第3の実施形態の場合よりも小さくなることが予想される。

【0053】（第5の実施形態）本発明の第5の実施形態に係る半導体装置の製造方法を、図9及び図10を用いて説明する。ここで、図9は本実施形態に係る通常の表面チャネル型MOSFETの製造工程を示す流れ図であり、図10はその製造工程の一部を示す簡略断面図である。なお、上記図7の製造工程と同一の工程には同一の符号を付し、上記図4の表面チャネル型MOSFETの構成要素と同一の要素には同一の符号を付して説明を

省略する。本実施形態においては、図9のステップS1～S6に示す工程が、上記第4の実施形態の図7のステップS1～S6の工程と同様であり、上記図7のステップS6の工程とステップS13の工程との間に、図9のステップS14に示すゲート電極周囲に窒化膜を形成する工程を設けている点に特徴がある。

【0054】先ず、上記第4の実施形態の図7のステップS1～S6の工程と同様にして、シリコン基板10上に絶縁膜を形成し（図9ステップS1）、この絶縁膜をバッファとしてシリコン基板10に第1導電型不純物としてP型不純物をイオン注入した後（図9ステップS2）、シリコン基板10上の絶縁膜を除去する（図9ステップS3）。続いて、シリコン基板10上にゲート絶縁膜12を形成し（図9ステップS4）、このゲート絶縁膜12上にゲート電極14を形成した後（図9ステップS5）、このゲート電極14をマスクとしてシリコン基板10上のゲート絶縁膜12を選択的にエッチング除去して、シリコン基板10のS/D形成予定領域表面を露出させる（図9ステップS6、図10（a）参照）。

【0055】次いで、ゲート電極14周囲、即ち上面及び側面を耐酸化性膜、例えば膜厚の薄い窒化膜30で覆う（図9ステップS14、図10（b）参照）。この窒化膜30は、次の熱酸化工程において、ゲート電極14側面が熱酸化されてゲート長さが減少することを防止するためのものである。次いで、上記第4の実施形態の図7のステップS13の工程と同様にして、第2導電型不純物としてN型不純物を所定濃度含有する雰囲気中でシリコン基板10表面の熱酸化を行い、シリコン基板10表面に所定膜厚の熱酸化膜28を形成しつつ、シリコン基板10表面にN型不純物を熱拡散して、ソース領域18及びドレイン領域20を相対して形成する。このとき、ソース領域18とドレイン領域20との間に挟まれたシリコン基板10表面をチャンネル領域22とする（図9ステップS13a、図10（c）参照）。最後に、必要に応じて全面に絶縁膜を形成した後、この絶縁膜、熱酸化膜28及び窒化膜30を除去したり加工したりして、必要な配線を行う（図9ステップS9d）。このようにしてN-MOSFETを作製する。

【0056】以上説明したように、本発明の第5の実施形態に係る通常の表面チャンネル型N-MOSFETの製造方法においては、シリコン基板10表面にソース領域18及びドレイン領域20を形成する際に、ゲート電極14側面が熱酸化されないように窒化膜30で覆った後、N型不純物を含有する雰囲気中での熱酸化により、シリコン基板10表面にN型不純物を拡散させるため、ゲート長さの減少を防止すると共に、シリコン基板10表面への点欠陥の注入を減少させて、N型不純物の拡散を抑制する。従って、上記第4の実施形態の場合よりも実効ゲート長さを長く保つことが可能になるため、より効果的に短チャンネル効果の発生を抑制することができる

と共に、点欠陥の発生が少ないため、逆短チャンネル効果の発生も抑制することができる。なお、図9のステップS13aの工程における熱酸化により多少の点欠陥がシリコン基板10表面に注入されてしまうことに関しては、上記第4の実施形態の場合と同様である。

【0057】（第6の実施形態）本発明の第6の実施形態に係る半導体装置の製造方法を、図11及び図12を用いて説明する。ここで、図11は本実施形態に係る通常の表面チャンネル型MOSFETの製造工程を示す流れ図であり、図12はその製造工程の一部を示す簡略断面図である。なお、上記図5及び図7の製造工程と同一の工程には同一の符号を付し、上記図6及び図8の表面チャンネル型MOSFETの構成要素と同一の要素には同一の符号を付して説明を省略する。本実施形態においては、図11のステップS1～S6、S11aに示す工程が、上記第3の実施形態の図5のステップS1～S6、S11の工程と同様であり、図11のステップS13bに示す工程が、上記第4の実施形態の図7のステップS13の工程と同様である点に特徴がある。

【0058】先ず、上記第3の実施形態の図5のステップS1～S6、S11の工程と同様にして、シリコン基板10上に絶縁膜を形成し（図11ステップS1）、この絶縁膜をバッファとしてシリコン基板10に第1導電型不純物としてP型不純物をイオン注入した後（図11ステップS2）、シリコン基板10上の絶縁膜を除去する（図11ステップS3）。続いて、シリコン基板10上にゲート絶縁膜12を形成し（図11ステップS4）、このゲート絶縁膜12上にゲート電極14を形成した後（図11ステップS5）、このゲート電極14をマスクとしてシリコン基板10上のゲート絶縁膜12を選択的にエッチング除去し、シリコン基板10のS/D形成予定領域表面を露出させる（図11ステップS6）。続いて、全面に、不純物を含有していない半導体膜26を所定の厚さに堆積する（図11ステップS11a、図12（a）参照）。

【0059】次いで、上記第4の実施形態の図7のステップS13の工程と同様にして、第2導電型不純物としてのN型不純物を所定濃度含有する酸化性雰囲気中で半導体膜26表面の熱酸化を行って所定膜厚の熱酸化膜32を形成しつつ、半導体膜26を通過してシリコン基板10表面にN型不純物を熱拡散して、ソース領域18及びドレイン領域20を相対して形成すると共に、これらソース領域18とドレイン領域20との間に挟まれたシリコン基板10表面をチャンネル領域22とする（図11ステップS13b、図12（b）参照）。なお、このとき、半導体膜26の膜厚及び熱酸化の条件等によっては、半導体膜26全体が酸化されて熱酸化膜32となる場合もある。最後に、熱酸化膜32及び半導体膜26をエッチング除去した後、全面に絶縁膜を堆積し、更に必要に応じてこの絶縁膜を除去したり加工したりして、必

要な配線を行う（図 1 1 ステップ S 9 e）。このようにして N-MOSFET を作製する。

【0060】以上説明したように、本第 6 の実施形態に係る通常の表面チャネル型 N-MOSFET の製造方法においては、シリコン基板 1 0 表面にソース領域 1 8 及びドレイン領域 2 0 を形成する際に、上記第 3 の実施形態と同様に不純物を含有していない半導体膜 2 6 を形成した後、上記第 4 の実施形態と同様に N 型不純物を含有する雰囲気中で熱酸化を行うことにより、半導体膜 2 6 を通ってシリコン基板 1 0 表面に N 型不純物を熱拡散させるため、上記第 3 の実施形態の場合と同様の効果を奏することができる。但し、上記第 6 の実施形態においては、図 1 1 のステップ S 1 3 b の工程における熱酸化により多少の点欠陥がシリコン基板 1 0 表面に注入されてしまうため、上記第 4 の実施形態の場合と同様に、短チャネル効果又は逆短チャネル効果の発生を抑制する効果は上記第 1 の実施形態の場合よりも小さくなることが予想され、その度合いは上記第 1 の実施形態と第 4 の実施形態の間に位置する。また、第 3 の実施形態との優位性に関しては、それぞれ、イオン注入条件、酸化条件によって異なってくるので、どちらとも言えない。

【0061】なお、上記第 6 の実施形態においては、図 1 1 のステップ S 1 3 b の工程で酸化性雰囲気中で熱処理を行っているが、非酸化性雰囲気中で熱処理を行ってもよい。この場合は、半導体膜 2 6 表面が熱酸化されないため、熱酸化膜 3 2 が形成されることはない。また、上記図 1 1 のステップ S 9 e の配線形成工程において、熱酸化膜 3 2 及び半導体膜 2 6 をエッチング除去した後、絶縁膜を堆積しているが、上記第 3 の実施形態の場合と同様にして、適当な厚さの半導体膜 2 6 を残存させておいてもよい。

【0062】以上、上記第 1 ～第 6 の実施形態においては、通常の表面チャネル型 N-MOSFET について述べてきたが、次から LDD 構造の表面チャネル型 N-MOSFET について述べる。

【0063】（第 7 の実施形態）本発明の第 7 の実施形態に係る半導体装置の製造方法を、図 1 3 及び図 1 4 を用いて説明する。ここで、図 1 3 は本実施形態に係る LDD 構造の表面チャネル型 MOSFET の製造工程を示す流れ図であり、図 1 4 はその製造工程の一部を示す簡略断面図である。なお、上記第 1 の実施形態の図 1 の製造工程と同一の工程には同一の符号を付し、上記図 2 の表面チャネル型 MOSFET の構成要素と同一の要素には同一の符号を付して説明を省略する。本実施形態においては、図 1 3 のステップ S 1 ～S 6 a に示す工程が、上記第 1 の実施形態の図 1 のステップ S 1 ～S 6 の工程と同様であり、上記図 1 のステップ S 6 の工程とステップ S 7 の工程との間に、図 1 3 のステップ S 1 5 ～S 1 6 に示す LDD 領域を形成する工程及びサイドウォールスペーサを形成する工程を設けている点に特徴がある。

【0064】先ず、上記第 1 の実施形態の図 1 のステップ S 1 ～S 6 の工程と同様にして、シリコン基板 1 0 上に絶縁膜を形成し（図 1 3 ステップ S 1）、この絶縁膜をバッファとしてシリコン基板 1 0 に第 1 導電型不純物、例えば P 型不純物をイオン注入した後（図 1 3 ステップ S 2）、シリコン基板 1 0 上の絶縁膜を除去する（図 1 3 ステップ S 3）。続いて、シリコン基板 1 0 上にゲート絶縁膜 1 2 を形成し（図 1 3 ステップ S 4）、このゲート絶縁膜 1 2 上にゲート電極 1 4 を形成した後（図 1 3 ステップ S 5）、このゲート電極 1 4 をマスクとしてシリコン基板 1 0 上のゲート絶縁膜 1 2 を選択的にエッチング除去し、シリコン基板 1 0 の LDD 形成予定領域及び S/D 形成予定領域表面を露出させる（図 1 3 ステップ S 6 a、図 1 4（a）参照）。

【0065】次いで、シリコン基板 1 0 表面に LDD 領域を形成するが、この LDD 領域の形成には、上記第 1 の実施形態の図 1 のステップ S 7 ～S 8 の工程と同様の工程により行う。即ち、全面に、例えば CVD 法を用いて、第 2 導電型不純物としての N 型不純物を所定濃度含有する絶縁膜 3 4 を所定の厚さに堆積する。続いて、所定温度における所定時間の熱処理により、N 型不純物を含有する絶縁膜 3 4 からシリコン基板 1 0 表面に N 型不純物を熱拡散し、LDD 領域 3 6、3 8 を相対して形成する。このとき、LDD 領域 3 6、3 8 間に挟まれたシリコン基板 1 0 表面をチャネル領域 2 2 とする（図 1 3 ステップ S 1 5、図 1 4（b）参照）。なお、絶縁膜 3 4 に含有させる N 型不純物の所定濃度は、LDD 領域 3 6、3 8 に適したことが必要であり、上記第 1 の実施形態の図 1 のステップ S 7 ～S 8 の S/D 領域形成工程の場合よりも低濃度とする。

【0066】次いで、絶縁膜 3 4 のエッチバックを行って、ゲート電極 1 4 側面に絶縁膜 3 4 からなるサイドウォールスペーサ 4 0 を形成すると同時に、シリコン基板 1 0 の S/D 形成予定領域表面を露出させる（図 1 3 ステップ S 1 6、図 1 4（c）参照）。なお、この場合、絶縁膜 3 4 をエッチバックする代わりに、絶縁膜 3 4 をエッチング除去した後、改めて全面に絶縁膜を堆積し、この絶縁膜のエッチバックを行って、ゲート電極 1 4 側面にサイドウォールスペーサ 4 0 を形成してもよい。

【0067】次いで、上記第 1 の実施形態の図 1 のステップ S 7 ～S 8 の工程と同様にして、全面に、例えば CVD 法を用いて、第 2 導電型不純物としての N 型不純物を所定濃度含有する絶縁膜 4 2 を所定の厚さに堆積した後（図 1 3 ステップ S 7 a、図 1 4（d）参照）、所定温度における所定時間の熱処理を行い、N 型不純物を含有する絶縁膜 4 2 を不純物拡散源としてシリコン基板 1 0 表面に N 型不純物を熱拡散し、ソース領域 1 8 及びドレイン領域 2 0 を形成する（図 1 3 ステップ S 8 c、図 1 4（e）参照）。最後に、絶縁膜 4 2 を除去したり加工したりして、必要な配線を行う（図 1 3 ステップ S 9

f)。このようにしてN-MOSFETを作製する。

【0068】以上説明したように、本第7の実施形態に係るLDD構造の表面チャネル型N-MOSFETの製造方法においては、シリコン基板10表面にLDD領域36、38並びにソース領域18及びドレイン領域20を形成する際に、N型不純物を含有する絶縁膜34、42からシリコン基板10表面にN型不純物を拡散させることにより、シリコン基板10表面への点欠陥の注入を減少させて、N型不純物の拡散を抑制することが可能になるため、LDD構造の表面チャネル型MOSFETにおいても、上記第1の実施形態の場合と同様の効果を奏することができる。

【0069】なお、上記第7の実施形態においては、図13のステップS15のLDD領域形成工程に、上記第1の実施形態におけるS/D領域形成と同様の方法を採用しているが、この代わりに、上記第2～第6の実施形態におけるS/D領域形成の方法のいずれかを選択して採用してもよい。

【0070】(第8の実施形態) 本発明の第8の実施形態に係る半導体装置の製造方法を、図15及び図16を用いて説明する。ここで、図15は本実施形態に係るLDD構造の表面チャネル型MOSFETの製造工程を示す流れ図であり、図16はその製造工程の一部を示す簡略断面図である。なお、上記第2の実施形態の図3の製造工程と同一の工程には同一の符号を付し、上記図4の表面チャネル型MOSFETの構成要素と同一の要素には同一の符号を付して説明を省略する。本実施形態においては、図15のステップS1～S6aに示す工程が、上記第2の実施形態の図3のステップS1～S6の工程と同様であり、上記図3のステップS6の工程とステップS10の工程との間に、図15のステップS15a～S16aに示すLDD領域を形成する工程及びサイドウォールスペーサを形成する工程を設けている点に特徴がある。

【0071】先ず、上記第2の実施形態の図3のステップS1～S6の工程と同様にして、シリコン基板10上に絶縁膜を形成し(図15ステップS1)、この絶縁膜をバッファとしてシリコン基板10に第1導電型不純物としてP型不純物をイオン注入した後(図15ステップS2)、シリコン基板10上の絶縁膜を除去する(図15ステップS3)。続いて、シリコン基板10上にゲート絶縁膜12を形成し(図15ステップS4)、このゲート絶縁膜12上にゲート電極14を形成した後(図15ステップS5)、このゲート電極14をマスクとしてシリコン基板10上のゲート絶縁膜12を選択的にエッチング除去し、シリコン基板10のLDD形成予定領域及びS/D形成予定領域表面を露出させる(図15ステップS6a、図16(a)参照)。

【0072】次いで、シリコン基板10表面にLDD領域を形成するが、このLDD領域の形成には、上記第2

の実施形態の図3のステップS10～S8aの工程と同様の工程により行う。即ち、全面に、第2導電型不純物としてのN型不純物を所定濃度含有する半導体膜44を所定の厚さに堆積し、続いて、所定温度における所定時間の熱処理を行い、N型不純物を含有する半導体膜44からシリコン基板10表面にN型不純物を熱拡散し、LDD領域36、38を相対して形成すると共に、これらLDD領域36、38間に挟まれたシリコン基板10表面をチャネル領域22とする(図15ステップS15a、図16(b)参照)。なお、このとき、半導体膜44に含有させるN型不純物の所定濃度は、LDD領域36、38に適したことが必要であり、上記第2の実施形態の図3のステップS10～S8aのS/D領域形成工程の場合よりも低濃度とする。

【0073】次いで、半導体膜44をエッチング除去した後、全面に絶縁膜を堆積し、更にこの絶縁膜のエッチバックを行って、ゲート電極14側面に絶縁膜からなるサイドウォールスペーサ40を形成すると同時に、シリコン基板10のS/D形成予定領域表面を露出させる(図15ステップS16a、図16(c)参照)。次いで、上記第2の実施形態の図3のステップS10～S8aの工程と同様にして、全面に、第2導電型不純物としてN型不純物を所定濃度含有する半導体膜46を所定の厚さに堆積し(図15ステップS10a、図16(d)参照)、続いて、所定温度における所定時間の熱処理を行い、N型不純物を含有する半導体膜46からシリコン基板10表面にN型不純物を熱拡散し、ソース領域18及びドレイン領域20を形成する(図15ステップS8d、図16(e)参照)。最後に、半導体膜46をエッチング除去した後、全面に絶縁膜を堆積し、更に必要に応じてこの絶縁膜を除去したり加工したりして、必要な配線を行う(図15ステップS9g)。このようにしてN-MOSFETを作製する。

【0074】以上説明したように、本第8の実施形態に係るLDD構造の表面チャネル型N-MOSFETの製造方法においては、シリコン基板10表面にLDD領域36、38並びにソース領域18及びドレイン領域20を形成する際に、N型不純物を含有する半導体膜44、46からシリコン基板10表面にN型不純物を拡散させているため、LDD構造の表面チャネル型MOSFETにおいても、上記第2の実施形態の場合と同様の効果を奏することができる。

【0075】なお、上記第8の実施形態においては、図15のステップS15aのLDD領域形成工程に、上記第2の実施形態におけるS/D領域形成と同様の方法を採用しているが、これに限らず、上記第1、第3～第6の実施形態におけるS/D領域形成の方法のいずれかを選択して採用してもよい。

【0076】(第9の実施形態) 本発明の第9の実施形態に係る半導体装置の製造方法を、図17及び図18を

用いて説明する。ここで、図17は本実施形態に係るLDD構造の表面チャネル型MOSFETの製造工程を示す流れ図であり、図18はその製造工程の一部を示す簡略断面図である。なお、上記第3の実施形態の図5の製造工程と同一の工程には同一の符号を付し、上記図6の表面チャネル型MOSFETの構成要素と同一の要素には同一の符号を付して説明を省略する。本実施形態においては、図17のステップS1～S6aに示す工程が、上記第3の実施形態の図5のステップS1～S6の工程と同様であり、上記図5のステップS6の工程とステップS11の工程との間に、図17のステップS15b～S16bに示すLDD領域を形成する工程及びサイドウォールスペーサを形成する工程を設けている点に特徴がある。

【0077】先ず、上記第3の実施形態の図5のステップS1～S6の工程と同様にして、シリコン基板10上に絶縁膜を形成し（図17ステップS1）、この絶縁膜をバッファとしてシリコン基板10に第1導電型不純物としてP型不純物をイオン注入した後（図17ステップS2）、シリコン基板10上の絶縁膜を除去する（図17ステップS3）。続いて、シリコン基板10上にゲート絶縁膜12を形成し（図17ステップS4）、このゲート絶縁膜12上にゲート電極14を形成した後（図17ステップS5）、このゲート電極14をマスクとしてシリコン基板10上のゲート絶縁膜12を選択的にエッチング除去し、シリコン基板10のLDD形成予定領域及びS/D形成予定領域表面を露出させる（図17ステップS6a、図18（a）参照）。

【0078】次いで、シリコン基板10表面にLDD領域を形成するが、このLDD領域の形成には、上記第3の実施形態の図5のステップS11～S8bの工程と同様の工程により行う。即ち、全面に、不純物を含有していない半導体膜48を所定の厚さに堆積した後、イオン注入法により、半導体膜48に第2導電型不純物としてのN型不純物をイオン注入し、続いて、所定温度における所定時間の熱処理を行い、N型不純物をイオン注入した半導体膜48からシリコン基板10表面にN型不純物を熱拡散し、LDD領域36、38を相対して形成すると共に、これらLDD領域36、38間に挟まれたシリコン基板10表面をチャネル領域22とする（図17ステップS15b、図18（b）参照）。なお、このとき、半導体膜48にイオン注入するN型不純物の所定濃度は、LDD領域36、38に適したことが必要であり、上記第3の実施形態の図5のステップS12のイオン注入工程の場合よりも低濃度とする。

【0079】次いで、半導体膜48をエッチング除去した後、全面に絶縁膜を堆積し、更にこの絶縁膜のエッチバックを行って、ゲート電極14側面に絶縁膜からなるサイドウォールスペーサ40を形成すると同時に、シリコン基板10のS/D形成予定領域表面を露出させる

（図17ステップS16b、図18（c）参照）。

【0080】次いで、上記第3の実施形態の図5のステップS11～S8bの工程と同様にして、全面に、不純物を含有していない半導体膜50を所定の厚さに堆積した後（図17ステップS11b）、イオン注入法により、半導体膜50に第2導電型不純物としてのN型不純物をイオン注入し（図17ステップS12a、図18（d）参照）、続いて、所定温度における所定時間の熱処理を行い、N型不純物をイオン注入した半導体膜50からシリコン基板10表面にN型不純物を熱拡散し、ソース領域18及びドレイン領域20を形成する（図17ステップS8e、図18（e）参照）。最後に、半導体膜50をエッチング除去した後、全面に絶縁膜を堆積し、更に必要に応じてこの絶縁膜を除去したり加工したりして、必要な配線を行う（図17ステップS9h）。このようにしてN-MOSFETを作製する。

【0081】以上説明したように、本第9の実施形態に係るLDD構造の表面チャネル型N-MOSFETの製造方法においては、シリコン基板10表面にLDD領域36、38並びにソース領域18及びドレイン領域20を形成する際に、不純物を含有していない半導体膜48、50に第2導電型不純物をイオン注入したものを拡散源として用い、このN型不純物をイオン注入した半導体膜48、50からシリコン基板10表面にN型不純物を拡散させているため、LDD構造の表面チャネル型MOSFETにおいても、上記第3の実施形態の場合と同様の効果を奏することができる。

【0082】なお、上記第9の実施形態においては、図17のステップS15bのLDD領域形成工程に、上記第3の実施形態におけるS/D領域形成と同様の方法を採用しているが、これに限らず、上記第1、第2、第4～第6の実施形態におけるS/D領域形成の方法のいずれかを選択して採用してもよい。

【0083】（第10の実施形態）本発明の第10の実施形態に係る半導体装置の製造方法を、図19及び図20を用いて説明する。ここで、図19は本実施形態に係るLDD構造の表面チャネル型MOSFETの製造工程を示す流れ図であり、図20はその製造工程の一部を示す簡略断面図である。なお、上記第4の実施形態の図7の製造工程と同一の工程には同一の符号を付し、上記図8の表面チャネル型MOSFETの構成要素と同一の要素には同一の符号を付して説明を省略する。本実施形態においては、図19のステップS1～S6aに示す工程が、上記第4の実施形態の図7のステップS1～S6の工程と同様であり、上記図7のステップS6の工程とステップS13の工程との間に、図19のステップS15c～S16cに示すLDD領域を形成する工程及びサイドウォールスペーサを形成する工程を設けている点に特徴がある。

【0084】先ず、上記第4の実施形態の図7のステッ

プS1～S6の工程と同様にして、シリコン基板10上に絶縁膜を形成し(図19ステップS1)、この絶縁膜をバッファとしてシリコン基板10に第1導電型不純物、例えばP型不純物をイオン注入した後(図19ステップS2)、シリコン基板10上の絶縁膜を除去する(図19ステップS3)。続いて、シリコン基板10上にゲート絶縁膜12を形成し(図19ステップS4)、このゲート絶縁膜12上にゲート電極14を形成した後(図19ステップS5)、このゲート電極14をマスクとしてシリコン基板10上のゲート絶縁膜12を選択的にエッチング除去し、シリコン基板10のLDD形成予定領域及びS/D形成予定領域表面を露出させる(図19ステップS6a、図20(a)参照)。

【0085】次いで、シリコン基板10表面にLDD領域を形成するが、このLDD領域の形成には、上記第4の実施形態の図7のステップS13の工程と同様の工程により行う。即ち、第2導電型不純物としてN型不純物を所定濃度含有する酸化性雰囲気中でシリコン基板10表面の熱酸化を行い、シリコン基板10表面並びにゲート電極14上面及び側面に所定膜厚の熱酸化膜52を形成しつつ、シリコン基板10表面にN型不純物を熱拡散して、LDD領域36、38を相対して形成すると共に、これらLDD領域36、38間に挟まれたシリコン基板10表面をチャンネル領域22とする(図19ステップS15c、図20(b)参照)。

【0086】次いで、必要に応じて全面に絶縁膜を形成した後、この絶縁膜及び熱酸化膜52のエッチバックを行い、ゲート電極14側面に絶縁膜及び熱酸化膜52からなるサイドウォールスペーサ40を形成すると同時に、シリコン基板10のS/D形成予定領域表面を露出させる(図19ステップS16c、図20(c)参照)。なお、この場合、熱酸化膜52をエッチング除去した後、全面に絶縁膜を堆積し、この絶縁膜のエッチバックを行って、ゲート電極14側面にサイドウォールスペーサ40を形成してもよい。

【0087】次いで、上記第4の実施形態の図7のステップS13の工程と同様にして、第2導電型不純物としてN型不純物を所定濃度含有する酸化性雰囲気中でシリコン基板10表面の熱酸化を行い、シリコン基板10表面並びにゲート電極14上面及び側面に所定膜厚の熱酸化膜54を形成しつつ、シリコン基板10表面にN型不純物を熱拡散して、ソース領域18及びドレイン領域20を形成する(図19ステップS13c、図20(d)参照)。

【0088】最後に、必要に応じて全面に絶縁膜を形成した後、この絶縁膜及び熱酸化膜54を除去したり加工したりして、必要な配線を行う(図19ステップS9i)。このようにしてN-MOSFETを作製する。

【0089】以上説明したように、本第10の実施形態に係るLDD構造の表面チャネル型N-MOSFETの

製造方法においては、シリコン基板10表面にLDD領域36、38並びにソース領域18及びドレイン領域20を形成する際に、N型不純物を含有する雰囲気中で熱酸化を行うことによりシリコン基板10表面にN型不純物を拡散させるため、LDD構造の表面チャネル型MOSFETにおいても、上記第4の実施形態の場合と同様の効果を奏することができる。

【0090】なお、上記第10の実施形態においては、図19のステップS15cのLDD領域形成工程に、上記第4の実施形態におけるS/D領域形成と同様の方法を採用しているが、これに限らず、上記第1～第3、第5、第6の実施形態におけるS/D領域形成の方法のいずれかを選択して採用してもよい。

【0091】(第11の実施形態)本発明の第11の実施形態に係る半導体装置の製造方法を、図21及び図22を用いて説明する。ここで、図21は本実施形態に係るLDD構造の表面チャネル型MOSFETの製造工程を示す流れ図であり、図22はその製造工程の一部を示す簡略断面図である。なお、上記第5の実施形態の図9の製造工程と同一の工程には同一の符号を付し、上記図10の表面チャネル型MOSFETの構成要素と同一の要素には同一の符号を付して説明を省略する。本実施形態においては、図21のステップS1～S6aに示す工程が、上記第5の実施形態の図9のステップS1～S6の工程と同様であり、上記図9のステップS6の工程とステップS14の工程との間に、図21のステップS15d～S16dに示すLDD領域を形成する工程及びサイドウォールスペーサを形成する工程を設けている点に特徴がある。

【0092】先ず、上記第5の実施形態の図9のステップS1～S6の工程と同様にして、シリコン基板10上に絶縁膜を形成し(図21ステップS1)、この絶縁膜をバッファとしてシリコン基板10に第1導電型不純物、例えばP型不純物をイオン注入した後(図21ステップS2)、シリコン基板10上の絶縁膜を除去する(図21ステップS3)。続いて、シリコン基板10上にゲート絶縁膜12を形成し(図21ステップS4)、このゲート絶縁膜12上にゲート電極14を形成した後(図21ステップS5)、このゲート電極14をマスクとしてシリコン基板10上のゲート絶縁膜12を選択的にエッチング除去し、シリコン基板10のLDD形成予定領域及びS/D形成予定領域表面を露出させる(図21ステップS6a、図22(a)参照)。

【0093】次いで、シリコン基板10表面にLDD領域を形成するが、このLDD領域の形成には、上記第5の実施形態の図9のステップS14～S13aの工程と同様の工程により行う。即ち、ゲート電極14の周囲を膜厚の薄い窒化膜56で覆った後、第2導電型不純物としてのN型不純物を所定濃度含有する雰囲気中でシリコン基板10表面の熱酸化を行い、シリコン基板10表面

に所定膜厚の熱酸化膜58を形成しつつ、シリコン基板10表面にN型不純物を熱拡散して、LDD領域36、38を相対して形成すると共に、これらLDD領域36、38間に挟まれたシリコン基板10表面をチャネル領域22とする(図21ステップS15d、図22(b)参照)。

【0094】次いで、必要に応じて全面に絶縁膜を形成した後、この絶縁膜、窒化膜56及び熱酸化膜56のエッチバックを行って、ゲート電極14側面に絶縁膜、窒化膜56及び熱酸化膜52からなるサイドウォールスペーサ40を形成すると同時に、シリコン基板10のS/D形成予定領域表面を露出させる(図21ステップS16d、図22(c)参照)。なお、この場合、窒化膜56及び熱酸化膜56をエッチング除去した後、全面に絶縁膜を堆積し、この絶縁膜のエッチバックを行って、ゲート電極14側面にサイドウォールスペーサ40を形成してもよい。

【0095】次いで、上記第5の実施形態の図9のステップS14～S13aの工程と同様にして、ゲート電極14及びサイドウォールスペーサ40の周囲を耐酸化性膜としての膜厚の薄い窒化膜60で覆い(図21ステップS14a、図22(d)参照)、続いて、第2導電型不純物としてN型不純物を所定濃度含有する雰囲気中でシリコン基板10表面の熱酸化を行い、シリコン基板10表面に所定膜厚の熱酸化膜62を形成しつつ、シリコン基板10表面にN型不純物を熱拡散して、ソース領域18及びドレイン領域20を形成する(図21ステップS13d、図22(e)参照)。

【0096】最後に、必要に応じて全面に絶縁膜を形成した後、この絶縁膜、窒化膜60及び熱酸化膜62を除去したり加工したりして、必要な配線を行う(図21ステップS9j)。このようにしてN-MOSFETを作製する。

【0097】以上説明したように、本第11の実施形態に係るLDD構造の表面チャネル型N-MOSFETの製造方法においては、シリコン基板10表面にLDD領域36、38並びにソース領域18及びドレイン領域20を形成する際に、N型不純物を含有する雰囲気中での熱酸化により、シリコン基板10表面にN型不純物を拡散させるため、LDD構造の表面チャネル型MOSFETにおいても、上記第5の実施形態の場合と同様の効果を奏することができる。

【0098】なお、図21のステップS15d、S13dの工程における熱酸化により多少の点欠陥がシリコン基板10表面に注入されてしまうことに関しては、上記第5の実施形態の場合と同様である。また、上記第11の実施形態においては、図21のステップS15dのLDD領域形成工程に、上記第5の実施形態におけるS/D領域形成と同様の方法を採用しているが、これに限らず、上記第1～第4、第6の実施形態におけるS/D領

域形成の方法のいずれかを選択して採用してもよい。

【0099】(第12の実施形態)本発明の第12の実施形態に係る半導体装置の製造方法を、図23及び図24を用いて説明する。ここで、図23は本実施形態に係るLDD構造の表面チャネル型MOSFETの製造工程を示す流れ図であり、図24はその製造工程の一部を示す簡略断面図である。なお、上記第6の実施形態の図11の製造工程と同一の工程には同一の符号を付し、上記図12の表面チャネル型MOSFETの構成要素と同一の要素には同一の符号を付して説明を省略する。本実施形態においては、図23のステップS1～S6aに示す工程が、上記第6の実施形態の図11のステップS1～S6の工程と同様であり、上記図11のステップS6の工程とステップS11aの工程との間に、図23のステップS15e～S16eに示すLDD領域を形成する工程及びサイドウォールスペーサを形成する工程を設けている点に特徴がある。

【0100】先ず、上記第6の実施形態の図1のステップS1～S6の工程と同様にして、シリコン基板10上に絶縁膜を形成し(図23ステップS1)、この絶縁膜をバッファとしてシリコン基板10に第1導電型不純物、例えばP型不純物をイオン注入した後(図23ステップS2)、シリコン基板10上の絶縁膜を除去する(図23ステップS3)。続いて、シリコン基板10上にゲート絶縁膜12を形成し(図23ステップS4)、このゲート絶縁膜12上にゲート電極14を形成した後(図23ステップS5)、このゲート電極14をマスクとしてシリコン基板10上のゲート絶縁膜12を選択的にエッチング除去し、シリコン基板10のLDD形成予定領域及びS/D形成予定領域表面を露出させる(図23ステップS6a、図24(a)参照)。

【0101】次いで、シリコン基板10表面にLDD領域を形成するが、このLDD領域の形成には、上記第6の実施形態の図11のステップS11a～S13bの工程と同様の工程により行う。即ち、全面に、不純物を含有していない半導体膜64を所定の厚さに堆積し、続いて、第2導電型不純物としてのN型不純物を所定濃度含有する酸化性雰囲気中で半導体膜64表面の熱酸化を行って所定膜厚の熱酸化膜66を形成しつつ、半導体膜64を通してシリコン基板10表面にN型不純物を熱拡散して、LDD領域36、38を相対して形成すると共に、これらLDD領域36、38間に挟まれたシリコン基板10表面をチャネル領域22とする(図23ステップS15e、図24(b)参照)。

【0102】次いで、熱酸化膜66及び半導体膜64をエッチング除去した後、全面に絶縁膜を堆積し、この絶縁膜のエッチバックを行って、ゲート電極14側面に絶縁膜からなるサイドウォールスペーサ40を形成すると同時に、シリコン基板10のS/D形成予定領域表面を露出させる(図23ステップS16e、図24(c)参

照)。

【0103】次いで、上記第6の実施形態の図11のステップS11a～S13bの工程と同様にして、全面に、不純物を含有していない半導体膜68を所定の厚さに堆積し(図23ステップS11c)、第2導電型不純物としてのN型不純物を所定濃度含有する酸化性雰囲気中で半導体膜68表面の熱酸化を行って所定膜厚の熱酸化膜70を形成しつつ、半導体膜68を通してシリコン基板10表面にN型不純物を熱拡散して、ソース領域18及びドレイン領域20を形成する(図23ステップS13e、図24(d)参照)。

【0104】最後に、熱酸化膜70及び半導体膜68をエッチング除去した後、全面に絶縁膜を堆積し、更に必要に応じてこの絶縁膜を除去したり加工したりして、必要な配線を行う(図23ステップS9k)。このようにしてN-MOSFETを作製する。

【0105】以上説明したように、本第12の実施形態に係るLDD構造の表面チャネル型N-MOSFETの製造方法においては、シリコン基板10表面にLDD領域36、38並びにソース領域18及びドレイン領域20を形成する際に、不純物を含有していない半導体膜64、68を形成した後、N型不純物を含有する雰囲気中で熱酸化を行うことにより、半導体膜64、68を通してシリコン基板10表面にN型不純物を熱拡散させるため、LDD構造の表面チャネル型MOSFETにおいても、上記第6の実施形態の場合と同様の効果を奏することができる。

【0106】なお、図23のステップS15e、S13eの工程における熱酸化により多少の点欠陥がシリコン基板10表面に注入されてしまうことに関しては、上記第6の実施形態の場合と同様である。また、上記第12の実施形態においては、図23のステップS15eのLDD領域形成工程に、上記第6の実施形態におけるS/D領域形成と同様の方法を採用しているが、これに限らず、上記第1～第5の実施形態におけるS/D領域形成の方法のいずれかを選択して採用してもよい。更に、上記第1～第12の実施形態においては、N-MOSFETの場合について説明したが、勿論P-MOSFETの場合についても本発明を適用することができることはいうまでもない。この場合、上記第1～第12の実施形態と逆の導電型不純物を与えること、即ちP型とN型を入れ替えて考えることにより、全く同様な製造方法が成立する。

【0107】

【発明の効果】以上、詳細に説明したように、本発明に係る半導体装置の製造方法によれば、半導体基板表面に不純物領域を形成する際、例えばS/D領域又はLDD領域を形成する際に、不純物の拡散の媒体となる膜から半導体基板表面に不純物を拡散させることにより、半導体基板表面への点欠陥の注入を減少させて、不純物の拡

散を抑制することが可能になる。従って、実効ゲート長さを長く保つことが可能になり、短チャネル効果の発生を抑制することができると共に、点欠陥の発生が少なくなり、逆短チャネル効果の発生も抑制することができるため、半導体装置の電気特性、例えば閾値電圧などを容易に制御することが可能になる。

【0108】また、半導体基板表面に不純物領域を形成する際、例えばS/D領域又はLDD領域を形成する際に、第2導電型不純物を含有する酸化性雰囲気中で熱処理を行って半導体基板表面に第2導電型不純物を拡散させることにより、半導体基板表面への点欠陥の注入を減少させて、不純物の拡散を抑制することが可能になるため、上記の場合と同様の効果を奏することができる。

【0109】また、半導体基板表面に不純物領域を形成する際、例えばS/D領域又はLDD領域を形成する際に、不純物を含有していない半導体膜を形成した後、第2導電型不純物を含有する雰囲気中で熱処理を行い、半導体膜を通して半導体基板表面に第2導電型不純物を熱拡散させることにより、半導体基板表面への点欠陥の注入を減少させて、不純物の拡散を抑制することが可能になるため、上記の場合と同様の効果を奏することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る通常の表面チャネル型MOSFETの製造工程を示す流れ図である。

【図2】図1の通常の表面チャネル型MOSFETの製造工程の一部を示す簡略断面図である。

【図3】本発明の第2の実施形態に係る通常の表面チャネル型MOSFETの製造工程を示す流れ図である。

【図4】図3の通常の表面チャネル型MOSFETの製造工程の一部を示す簡略断面図である。

【図5】本発明の第3の実施形態に係る通常の表面チャネル型MOSFETの製造工程を示す流れ図である。

【図6】図5の通常の表面チャネル型MOSFETの製造工程の一部を示す簡略断面図である。

【図7】本発明の第4の実施形態に係る通常の表面チャネル型MOSFETの製造工程を示す流れ図である。

【図8】図7の通常の表面チャネル型MOSFETの製造工程の一部を示す簡略断面図である。

【図9】本発明の第5の実施形態に係る通常の表面チャネル型MOSFETの製造工程を示す流れ図である。

【図10】図9の通常の表面チャネル型MOSFETの製造工程の一部を示す簡略断面図である。

【図11】本発明の第6の実施形態に係る通常の表面チャネル型MOSFETの製造工程を示す流れ図である。

【図12】図11の通常の表面チャネル型MOSFETの製造工程の一部を示す簡略断面図である。

【図13】本発明の第7の実施形態に係る通常の表面チャネル型MOSFETの製造工程を示す流れ図である。

【図14】図13の通常の表面チャネル型MOSFET

の製造工程の一部を示す簡略断面図である。

【図15】本発明の第8の実施形態に係る通常表面チャネル型MOSFETの製造工程を示す流れ図である。

【図16】図15の通常表面チャネル型MOSFETの製造工程の一部を示す簡略断面図である。

【図17】本発明の第9の実施形態に係る通常表面チャネル型MOSFETの製造工程を示す流れ図である。

【図18】図17の通常表面チャネル型MOSFETの製造工程の一部を示す簡略断面図である。

【図19】本発明の第10の実施形態に係る通常表面チャネル型MOSFETの製造工程を示す流れ図である。

【図20】図19の通常表面チャネル型MOSFETの製造工程の一部を示す簡略断面図である。

【図21】本発明の第11の実施形態に係る通常表面チャネル型MOSFETの製造工程を示す流れ図である。

【図22】図21の通常表面チャネル型MOSFETの製造工程の一部を示す簡略断面図である。

【図23】本発明の第12の実施形態に係る通常表面チャネル型MOSFETの製造工程を示す流れ図である。

【図24】図23の通常表面チャネル型MOSFETの製造工程の一部を示す簡略断面図である。

【図25】従来の表面チャネル型MOSFETの製造工程を示す流れ図である。

【図26】図25の従来の表面チャネル型MOSFETの製造工程の一部を示す簡略断面図である。

【図27】従来のLDD構造の表面チャネル型MOSFETの製造工程を示す流れ図である。

【図28】図27の従来のLDD構造の表面チャネル型MOSFETの製造工程の一部を示す簡略断面図である。

【図29】短チャネル効果及び逆短チャネル効果が現れる場合のゲート長さと閾値電圧の関係を模式的に示したグラフである。

【図30】通常表面チャネル型N-MOSFETの概略構成を示す断面図である。

【図31】LDD構造の表面チャネル型N-MOSFETの概略構成を示す断面図である。

【図32】図30の通常表面チャネル型N-MOSFETのA-A線断面における不純物濃度分布を模式的に示すグラフである。

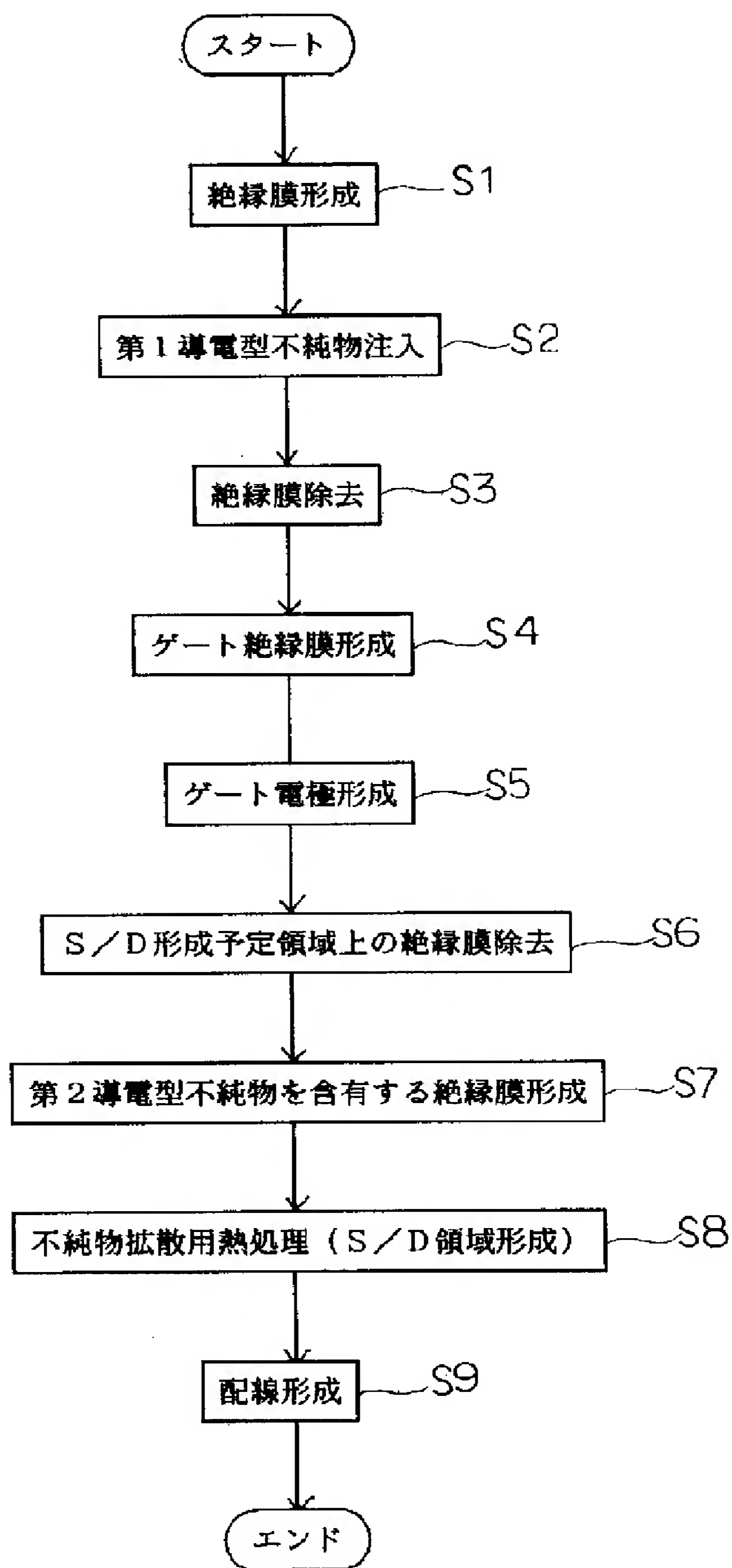
【図33】図31のLDD構造の表面チャネル型N-M

OSFETのB-B線断面における不純物濃度分布を模式的に示すグラフである。

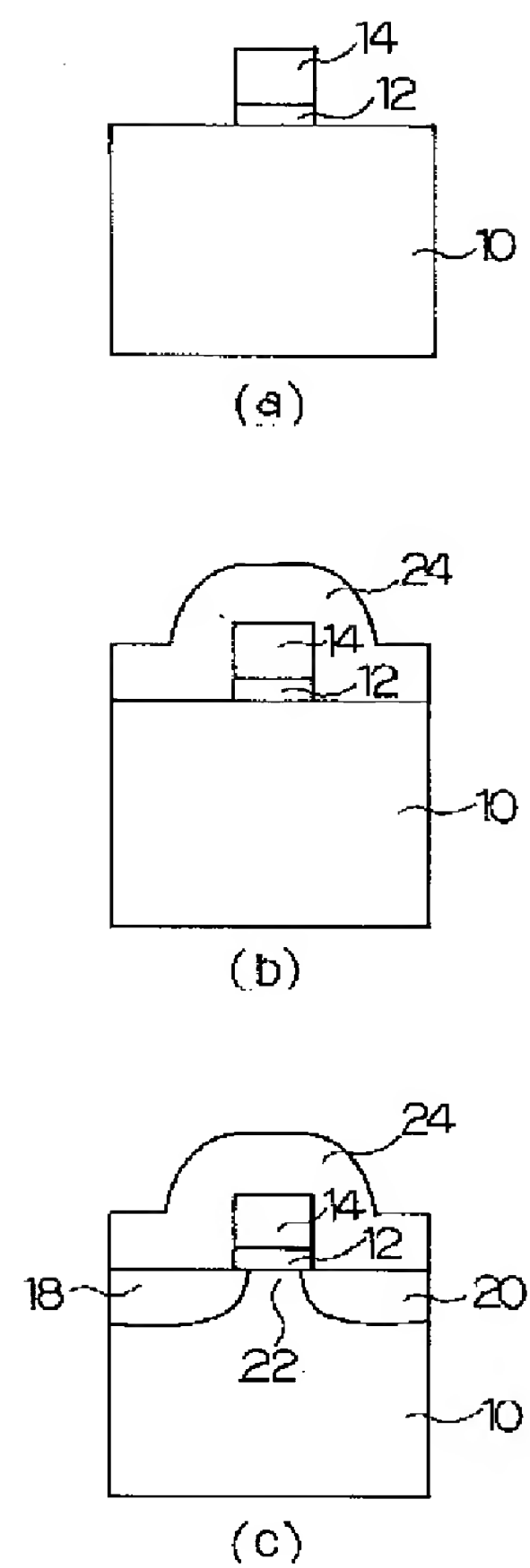
【符号の説明】

10……シリコン基板、12……ゲート絶縁膜、14…
ゲート電極、16……絶縁膜、18……ソース領域、
20……ドレイン領域、22……チャネル領域、24、
26……半導体膜、28……熱酸化膜、30……窒化
膜、32……熱酸化膜、34……絶縁膜、36、38…
LDD領域、40……サイドウォールスペーサ、42
……絶縁膜、44、46、48、50……半導体膜、5
2、54……熱酸化膜、56……窒化膜、58……熱酸
化膜、60……窒化膜、62……熱酸化膜、64……半
導体膜、66……熱酸化膜、68……半導体膜、70…
熱酸化膜、72……絶縁膜、S1……絶縁膜形成工
程、S2……第1導電型不純物注入工程、S3……絶縁
膜除去工程、S4……ゲート絶縁膜形成工程、S5……
ゲート電極形成工程、S6……S/D形成予定領域上の
絶縁膜除去工程、S6a……LDD形成予定領域及びS
/D形成予定領域上の絶縁膜除去工程、S7……第2導
電型不純物を含有する絶縁膜形成工程、S8、S8a、
S8b、S8c、S8d、S8e……不純物拡散用熱処
理（S/D領域形成）工程、S9、S9a、S9b、S
9c、S9d、S9e、S9f、S9g、S9h、S9
i、S9j、S9k……配線工程、S10、S10a…
第2導電型不純物を含有する半導体膜形成工程、S1
1、S11a、S11b、S11c……半導体膜形成工
程、S12、S12a……第2導電型不純物の半導体膜
へのイオン注入工程、S13、S13a、S13b、S
13c、S13d、S13e……第2導電型不純物を含
有する雰囲気中での熱拡散（S/D領域形成）工程、S
14……ゲート電極周囲への窒化膜形成工程、S14a
……ゲート電極及びサイドウォールスペーサ周囲への窒
化膜形成工程、S15、S15a、S15b、S15
c、S15d、S15e……LDD領域形成工程、S1
6、S16a、S16b、S16c、S16d、S16
e……サイドウォールスペーサ形成工程、S21……絶
縁膜形成工程、S22……第1導電型不純物注入工程、
S23……絶縁膜除去工程、S24……ゲート絶縁膜形
成工程、S25、S25a……ゲート電極形成工程、S
26、S26a……第2導電型不純物注入（S/D領域
形成）工程、S27、S27a……不純物活性化用熱処
理工程、S28、S28a……配線工程、S29……第
2導電型不純物注入（S/D領域形成）工程、S30…
サイドウォールスペーサ形成工程。

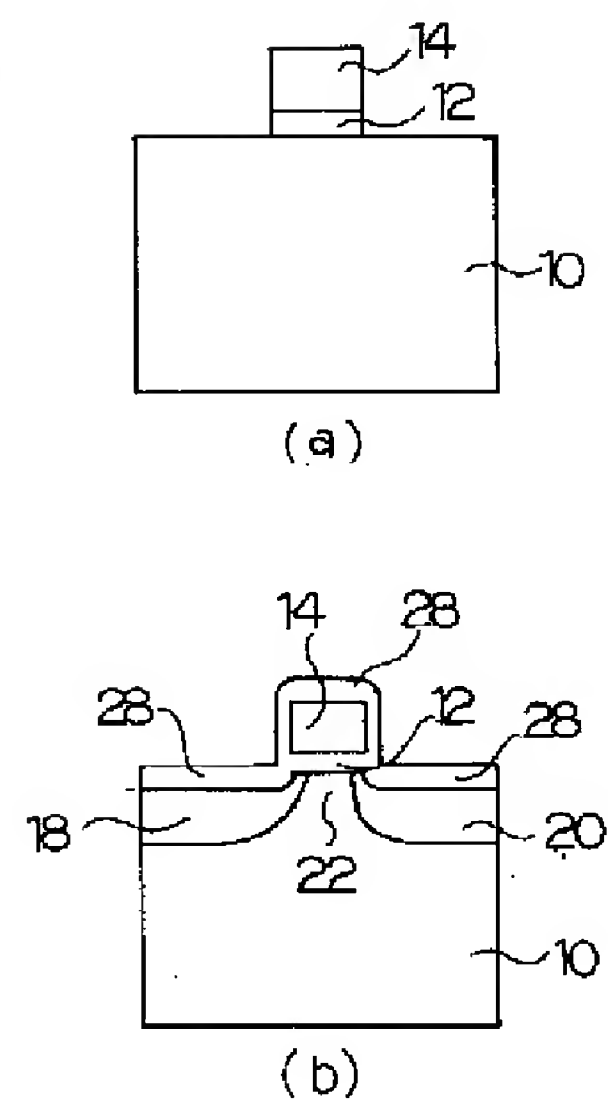
【図1】



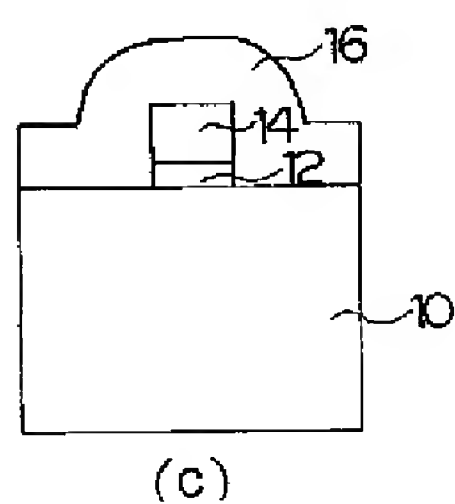
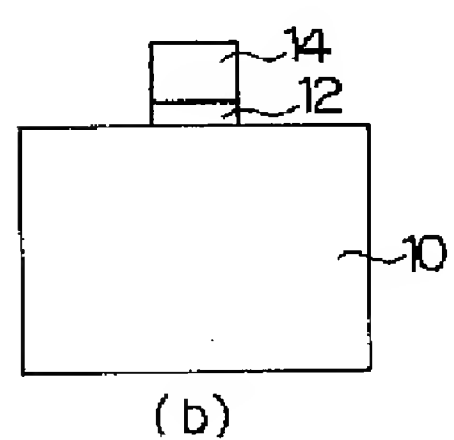
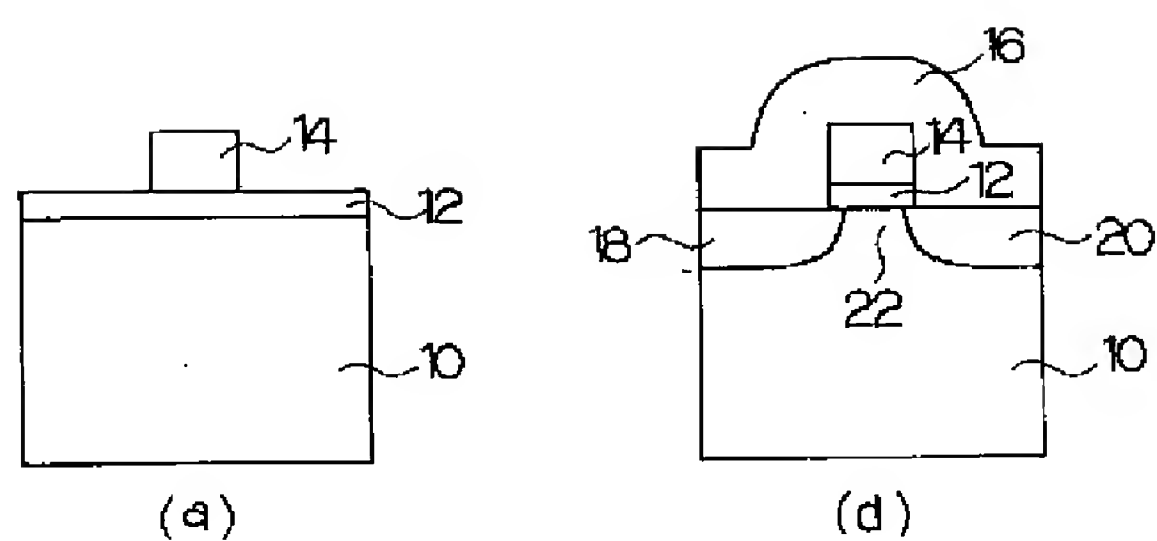
【図4】



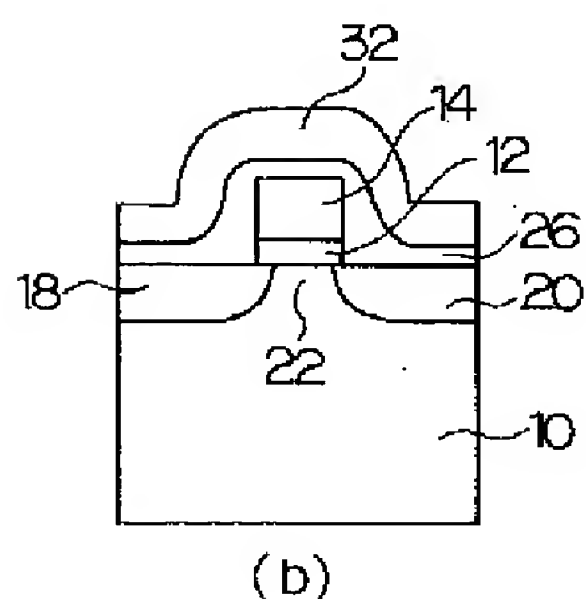
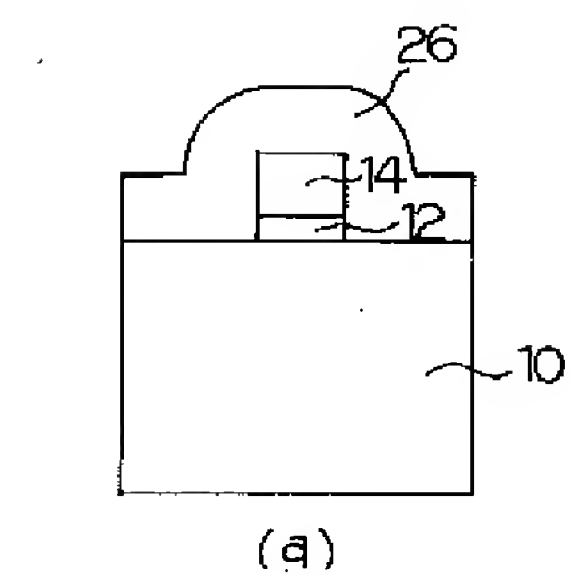
【図8】



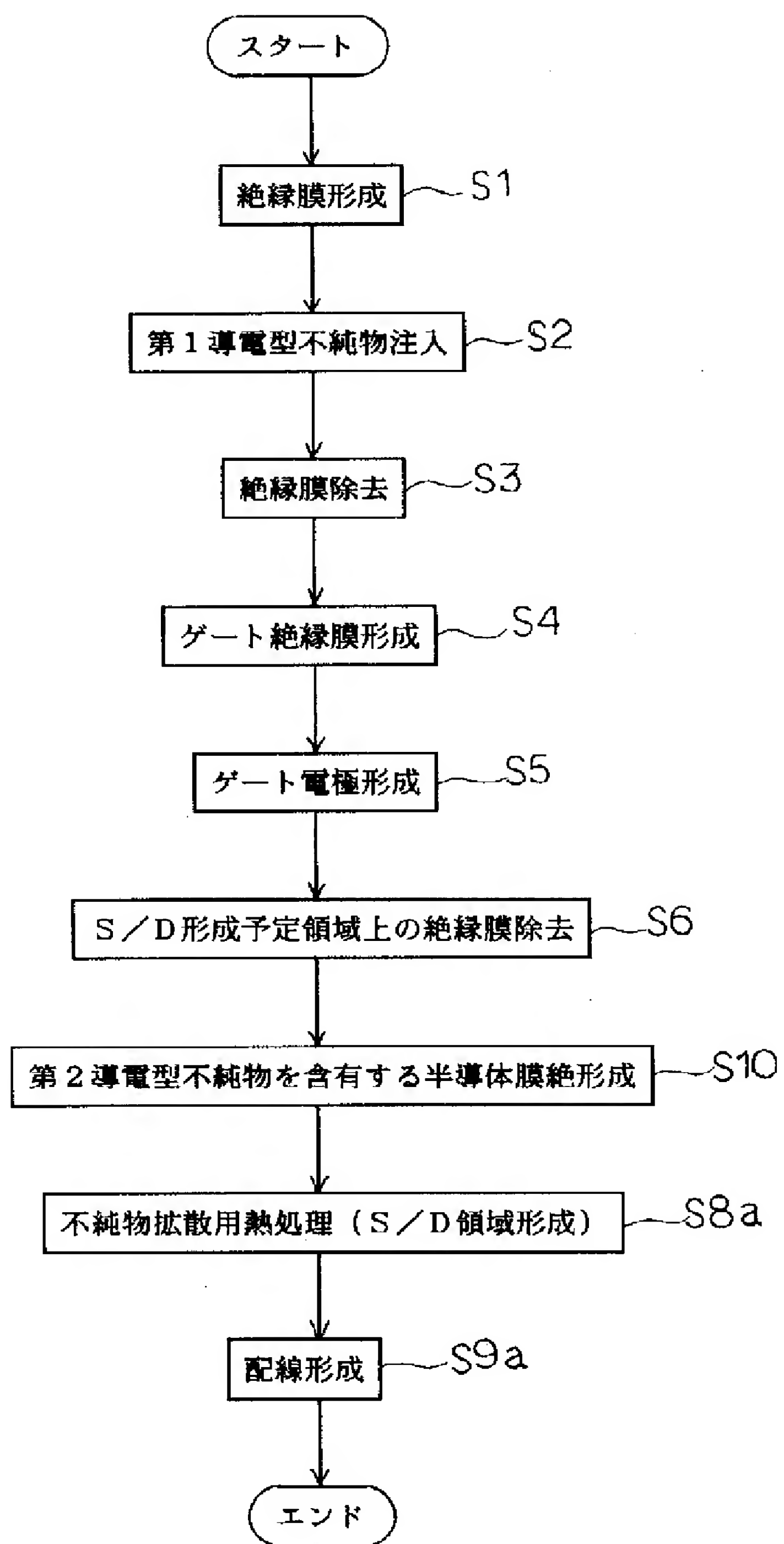
【図2】



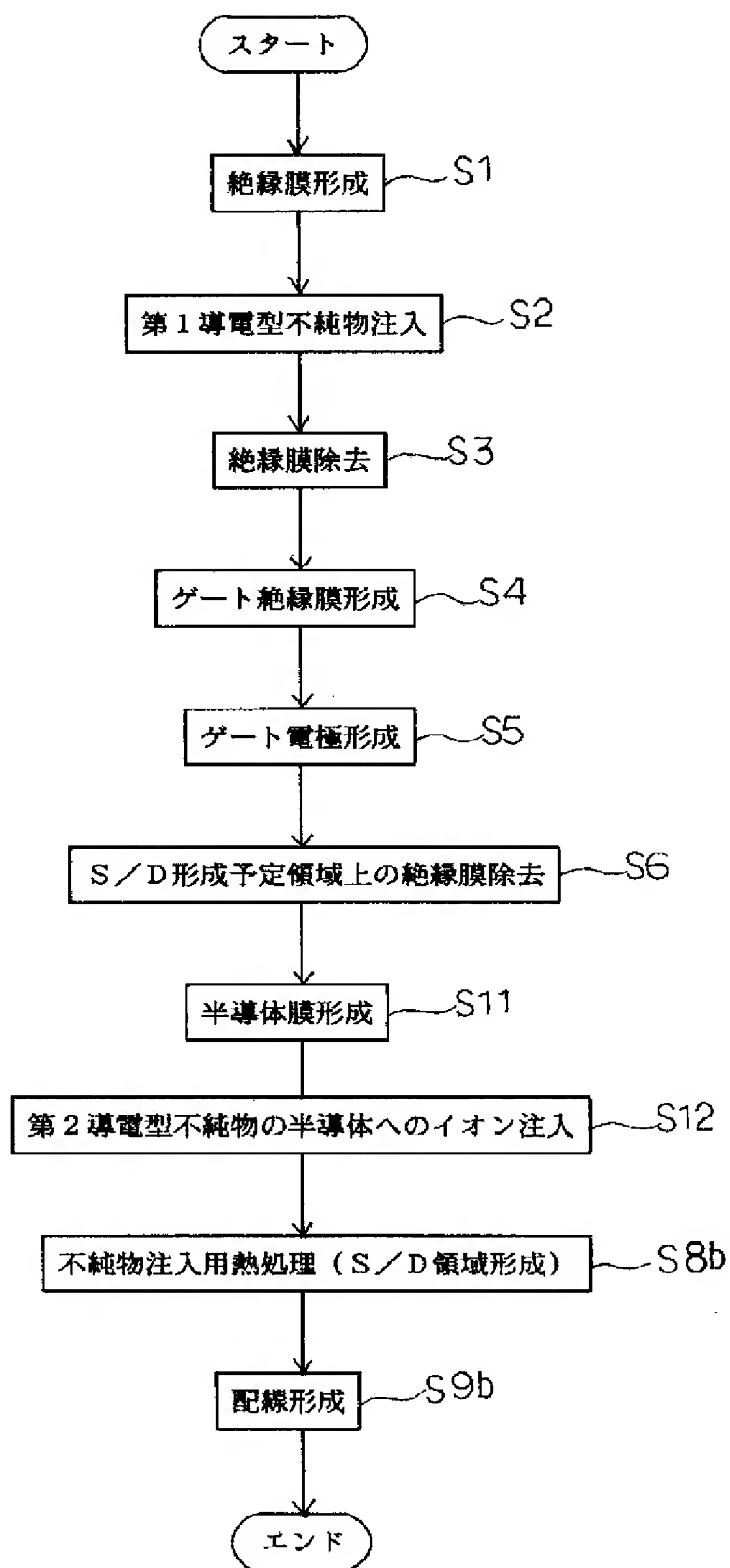
【図12】



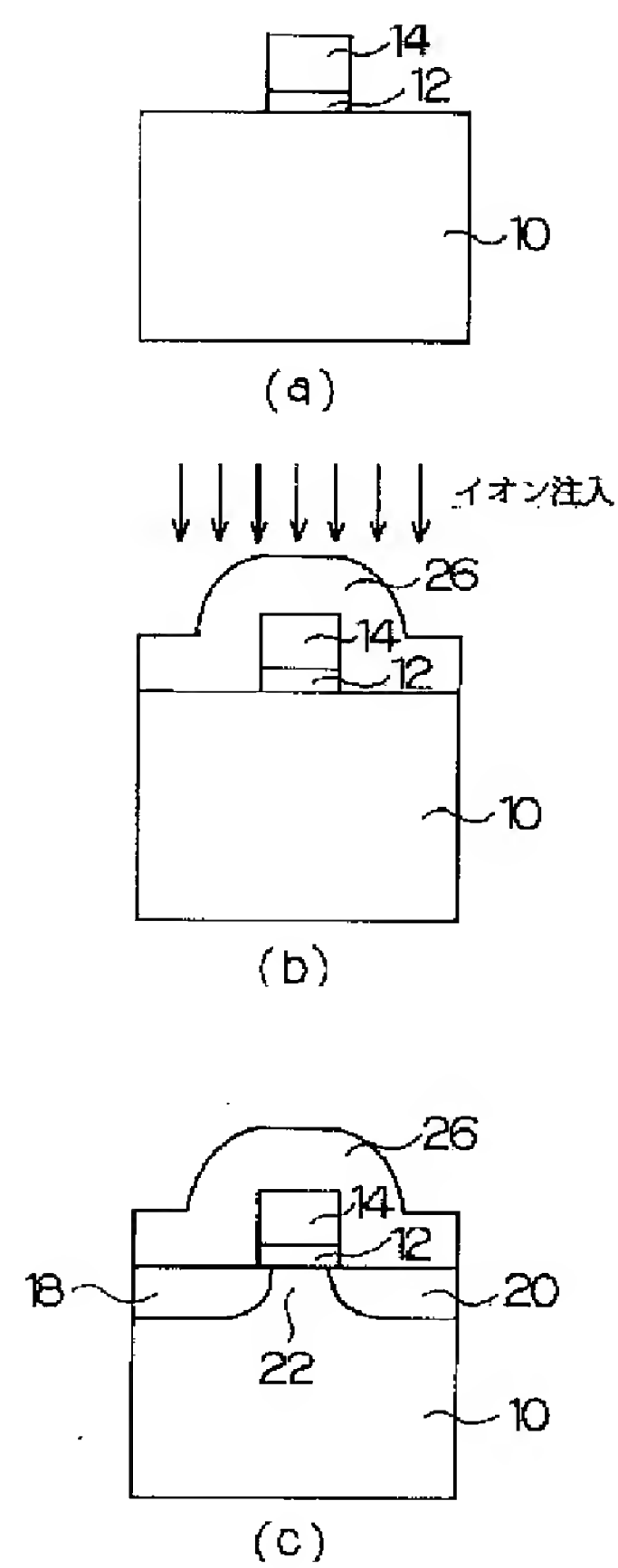
【図3】



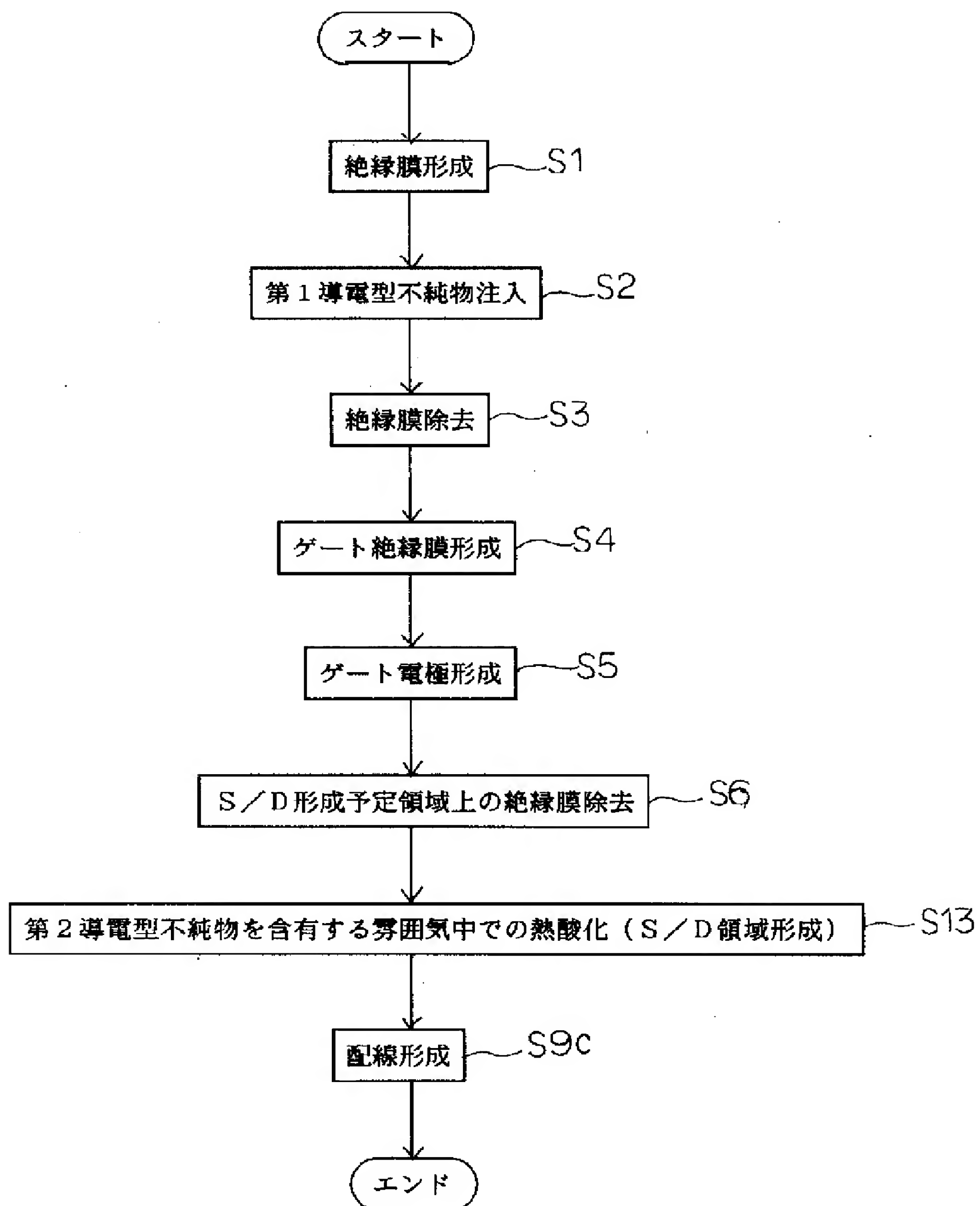
【図5】



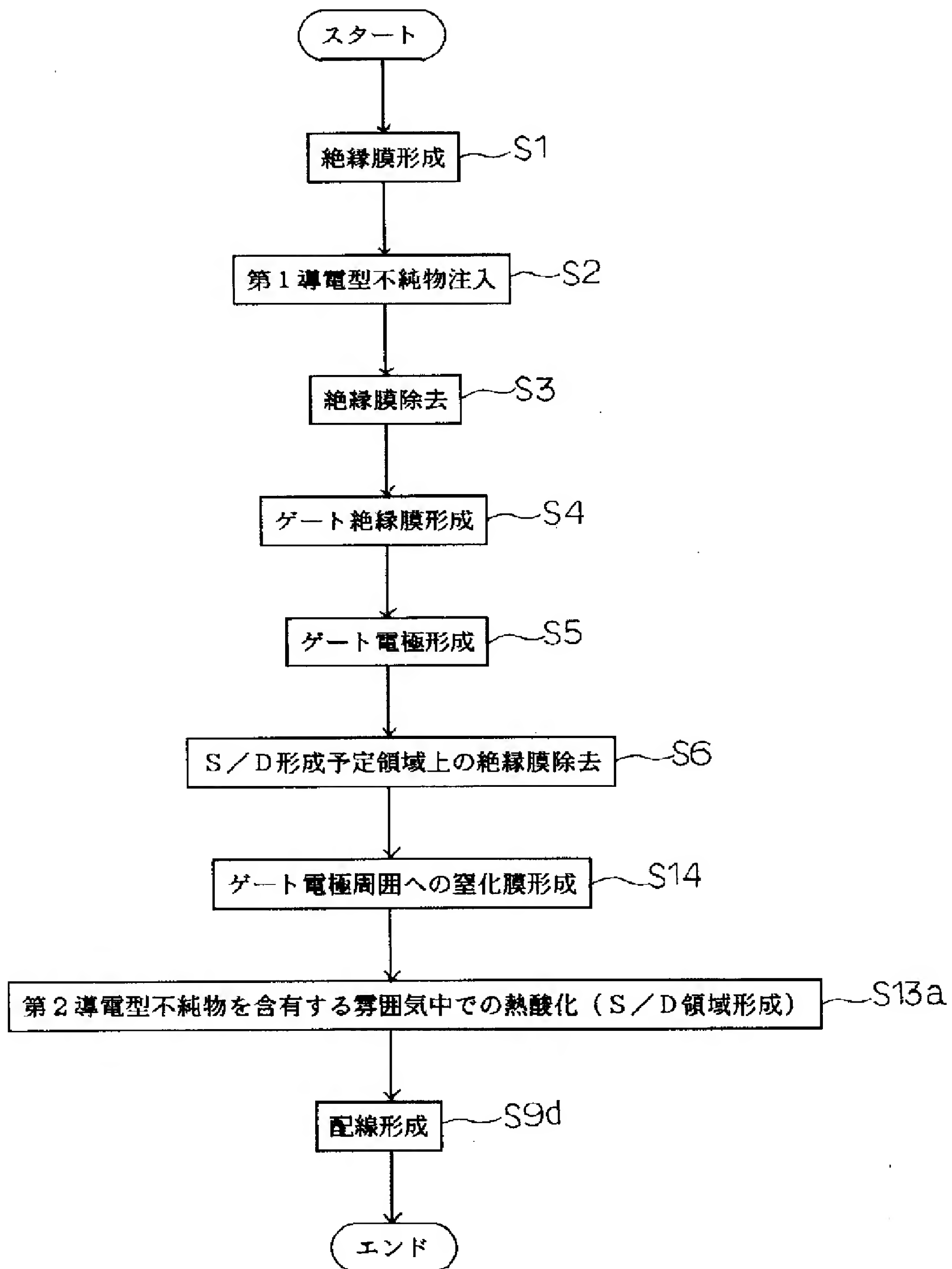
【図6】



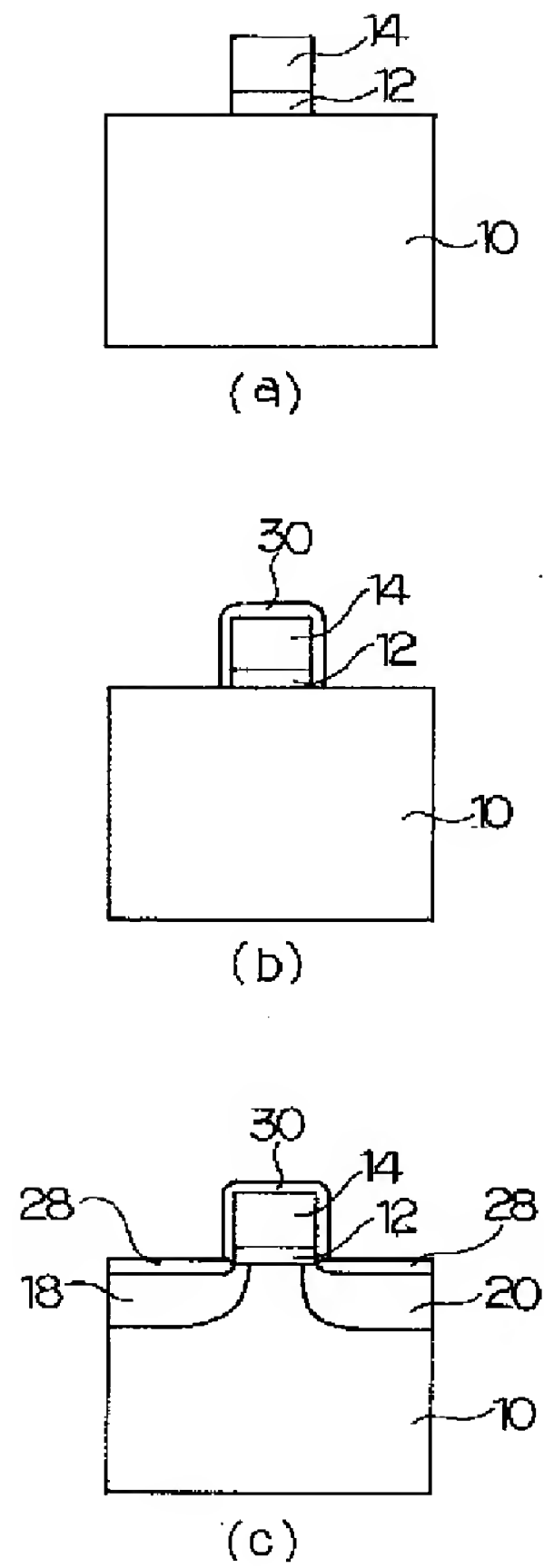
【図7】



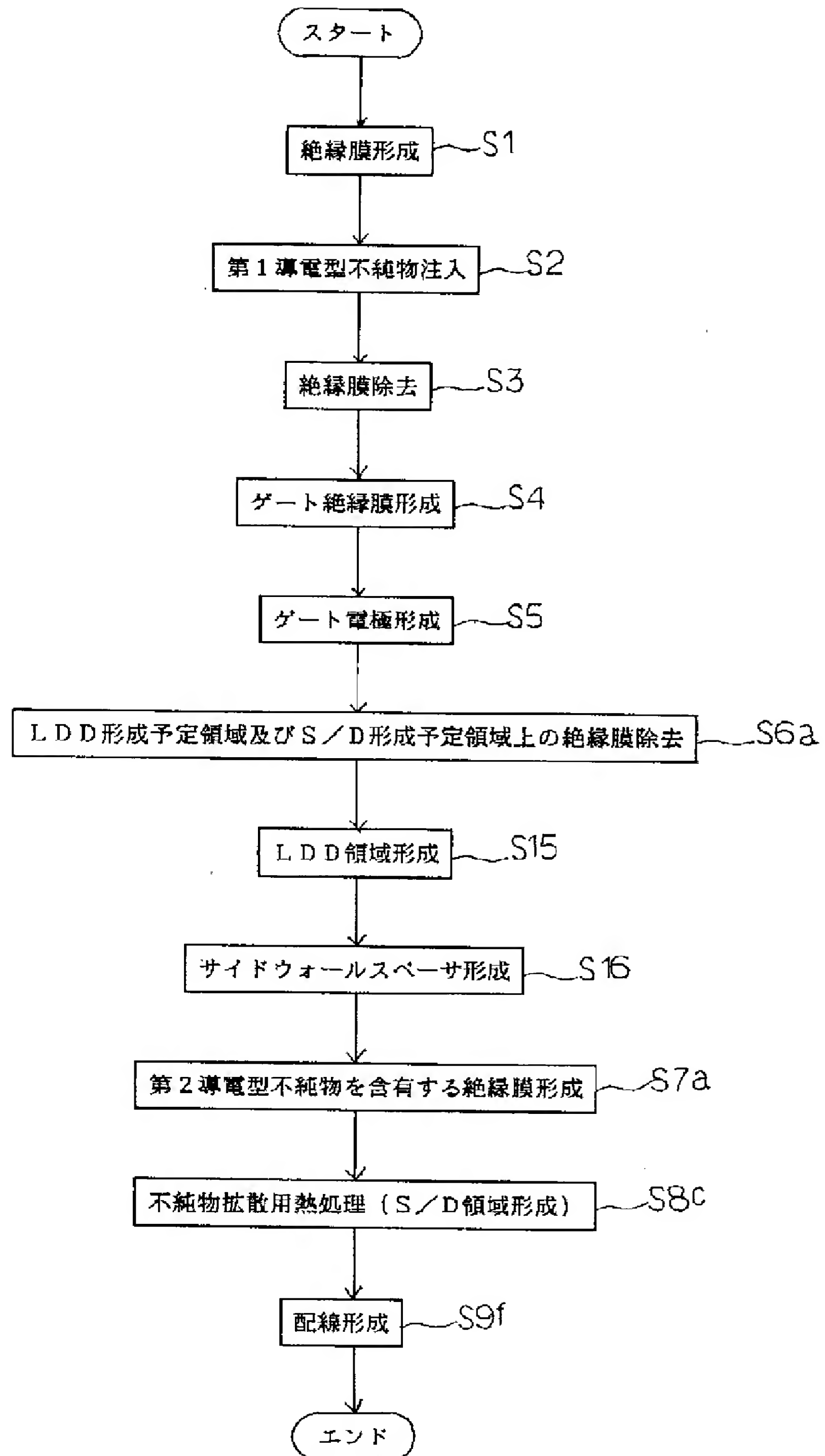
【図9】



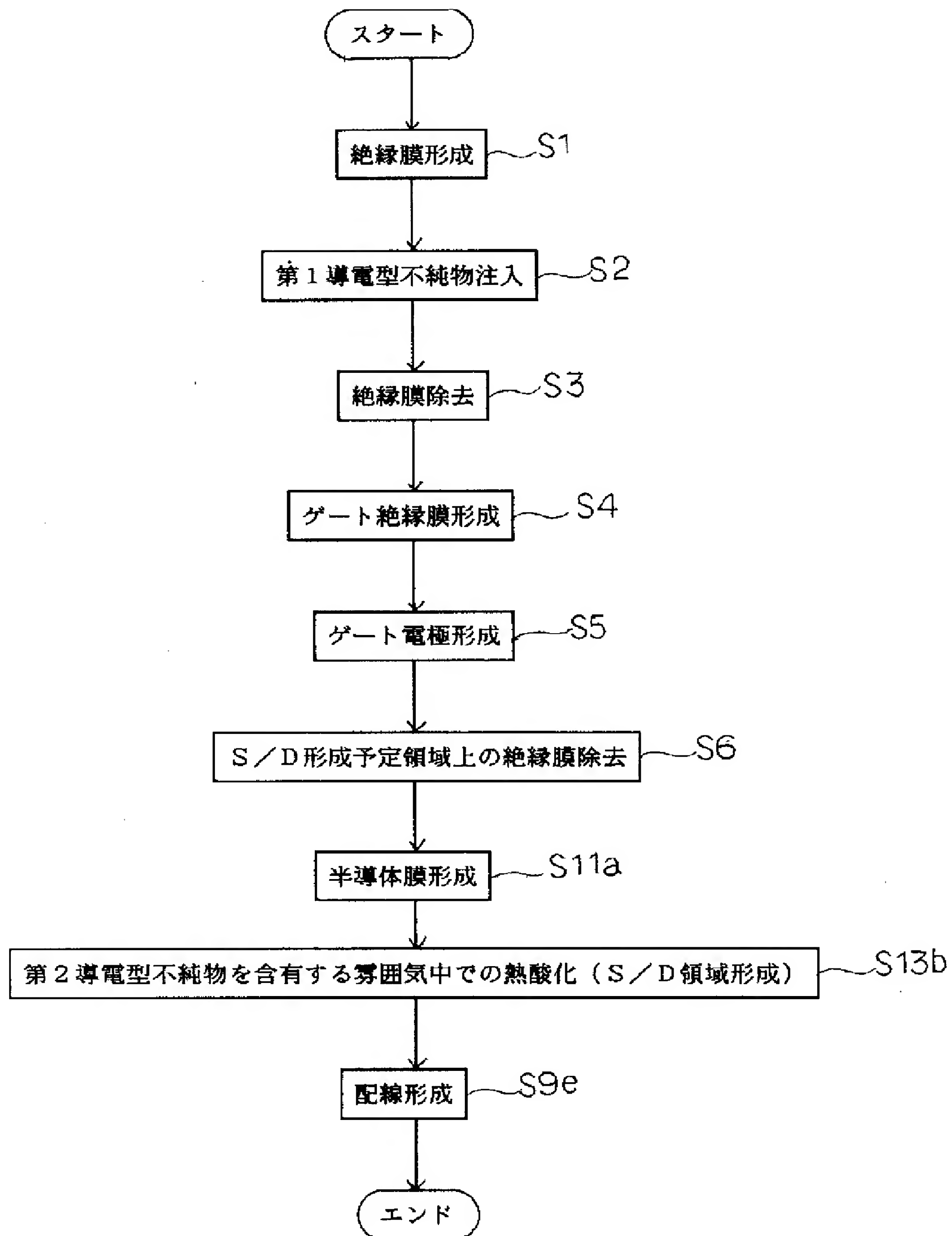
【図10】



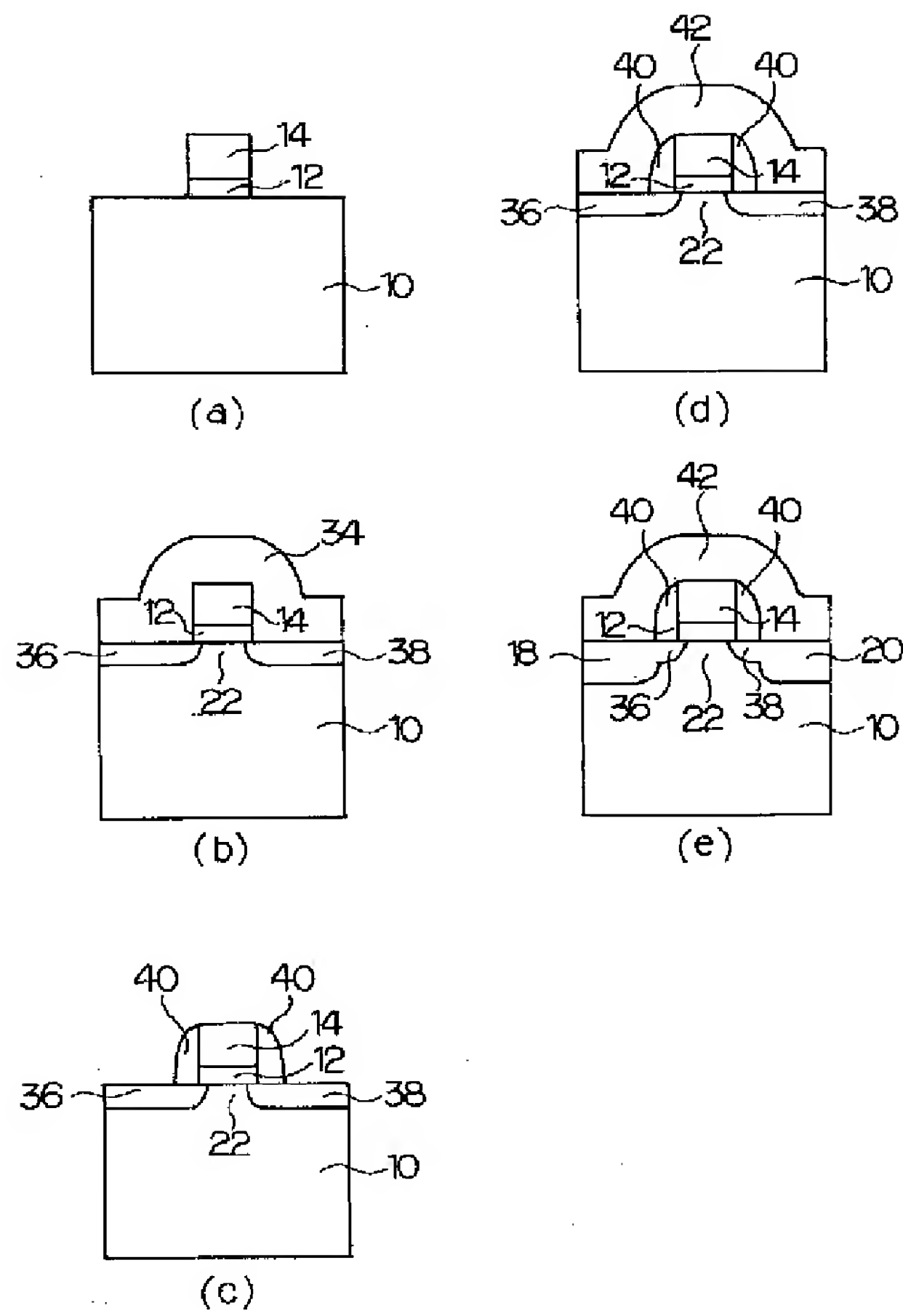
【図13】



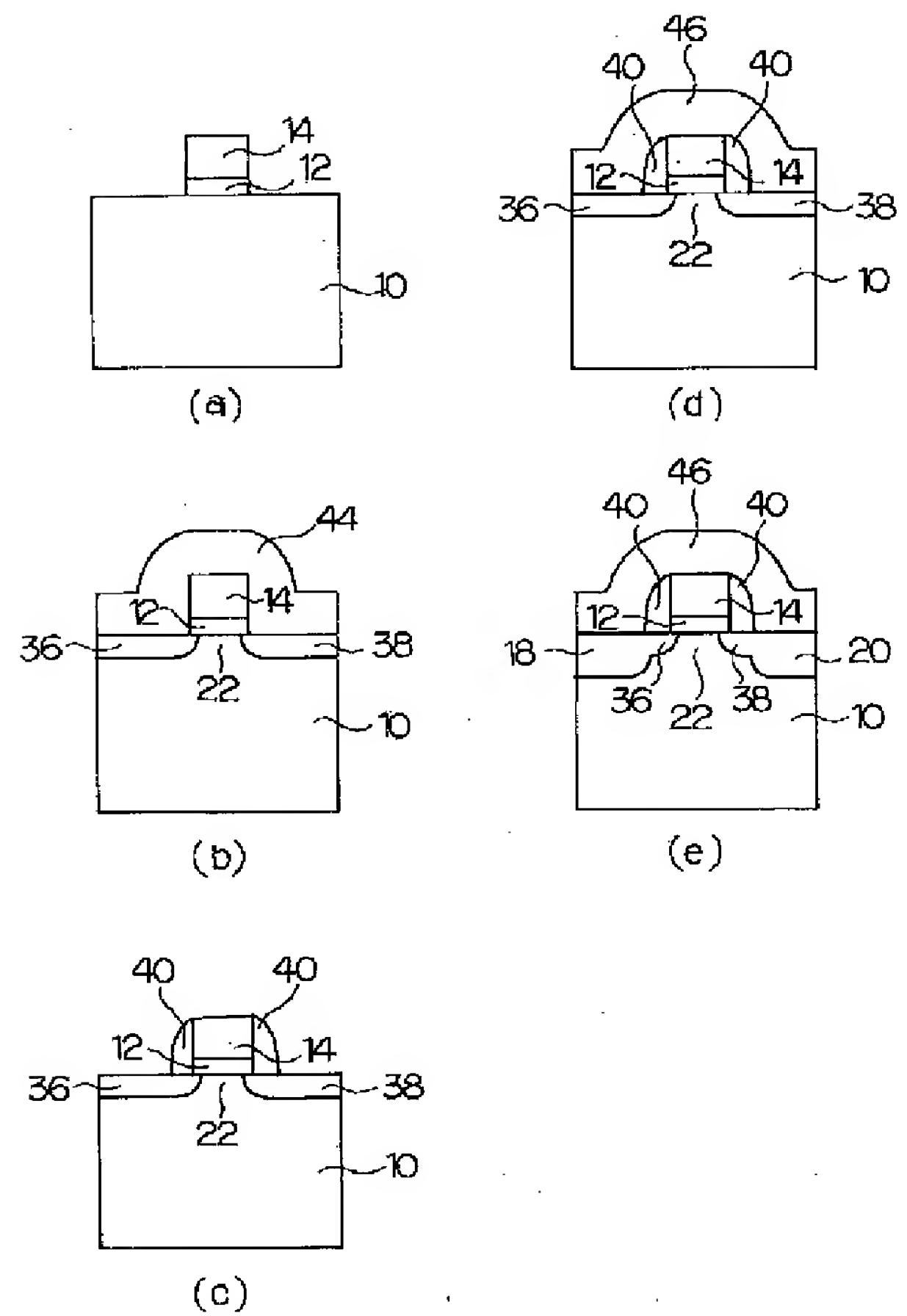
【図11】



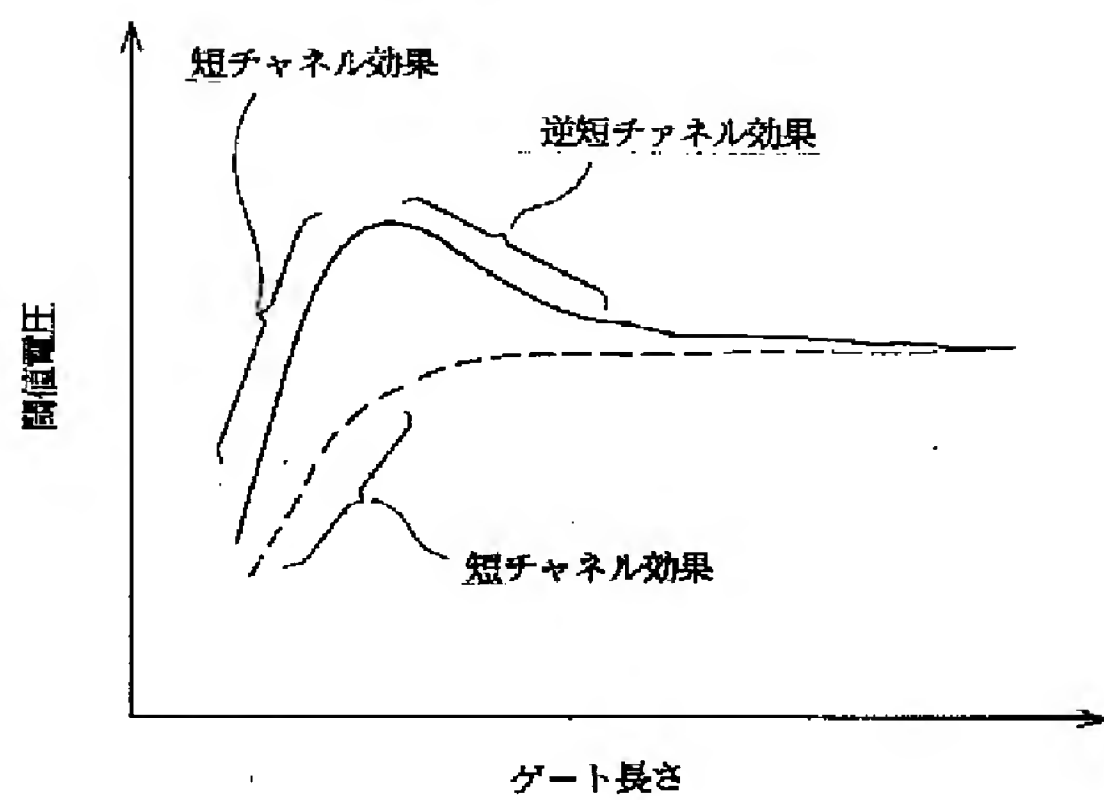
【图 14】



【例 16】



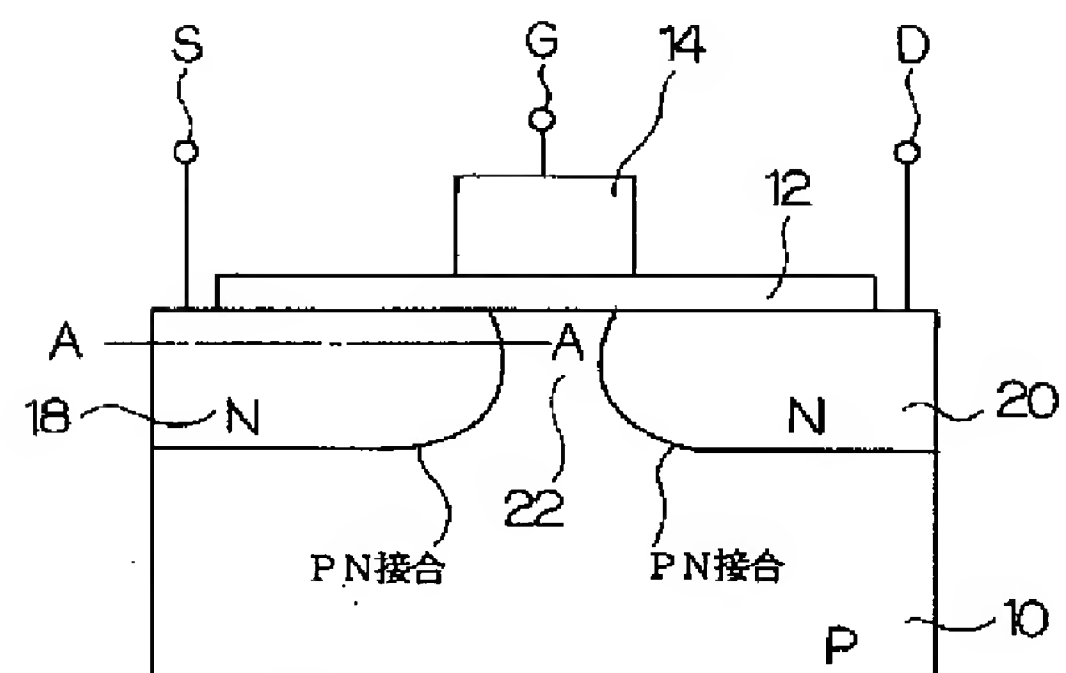
【图 29】



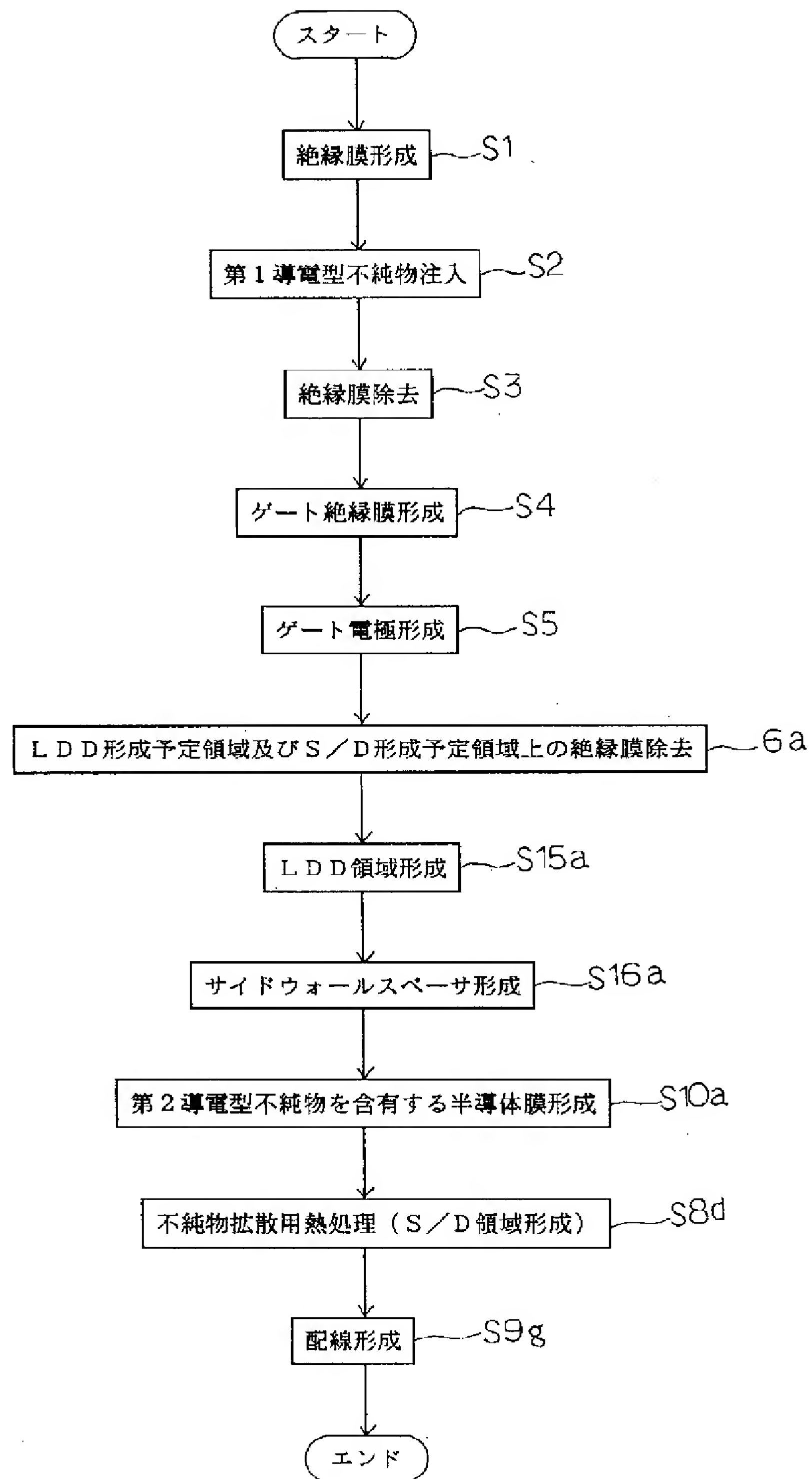
———— 逆短チャネル効果が生じる場合

----- 逆短チャネル効果が生じない場合

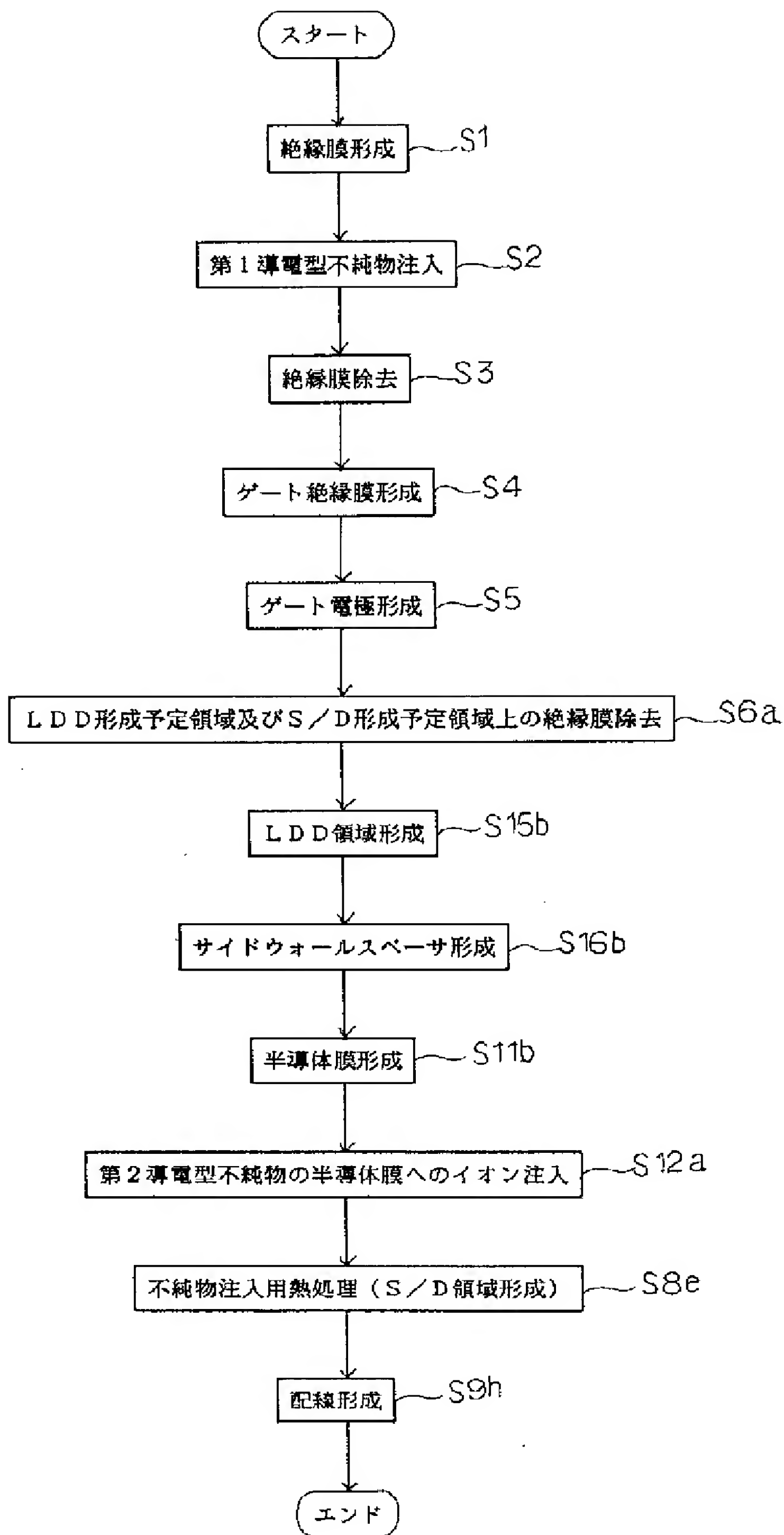
【図30】



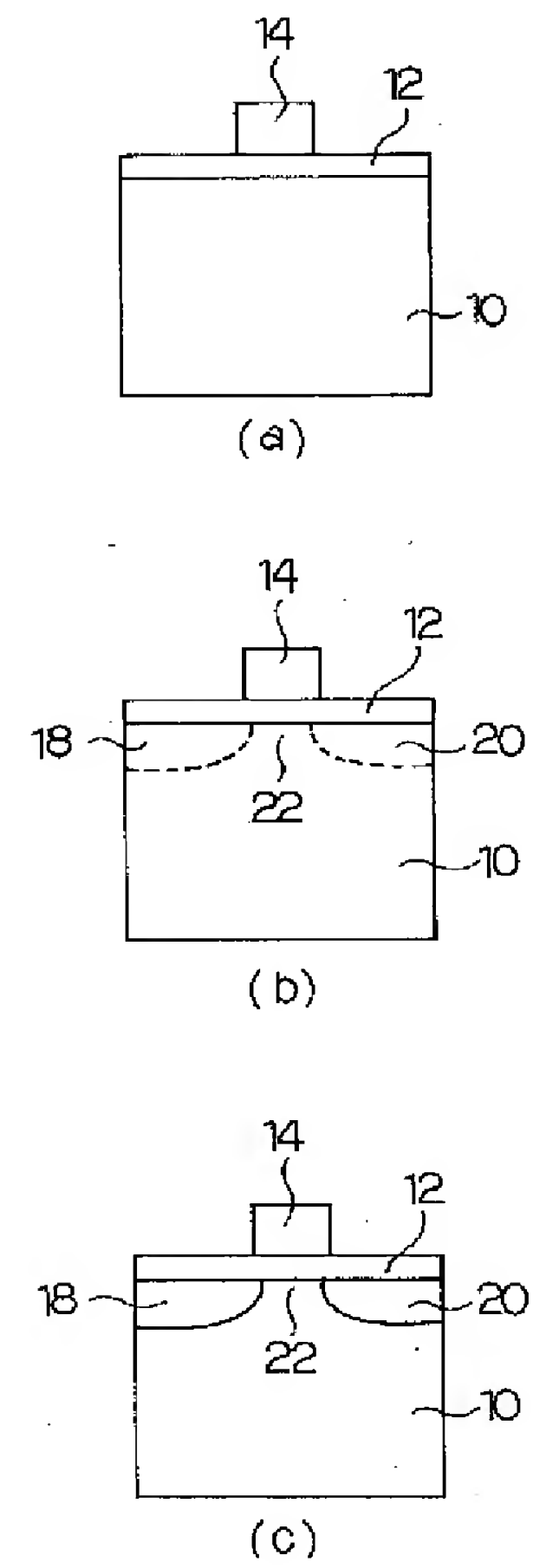
【図15】



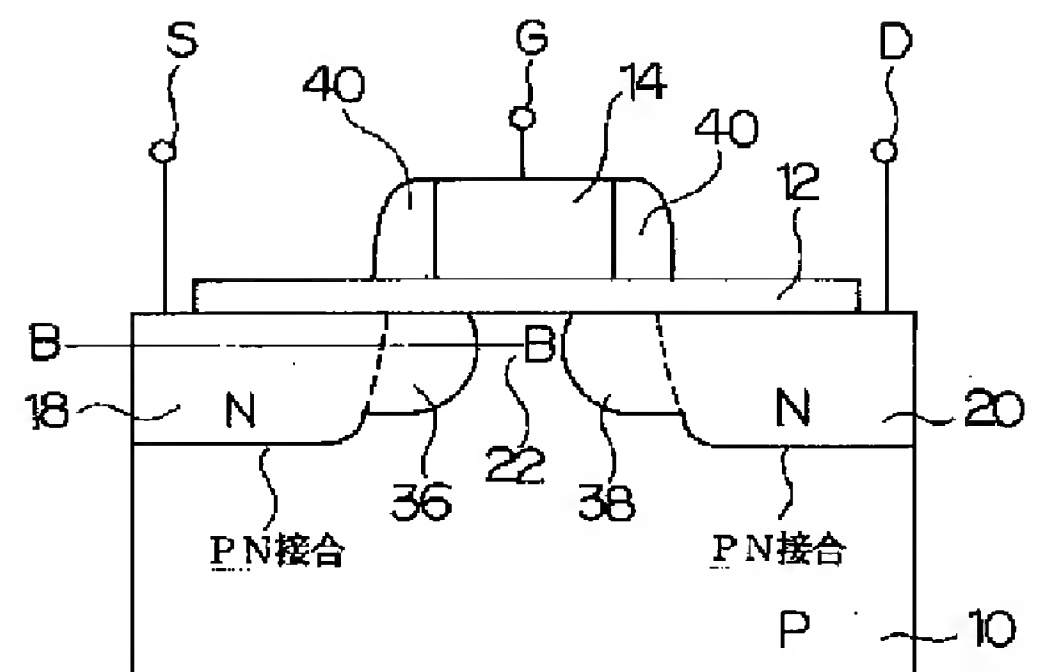
【図17】



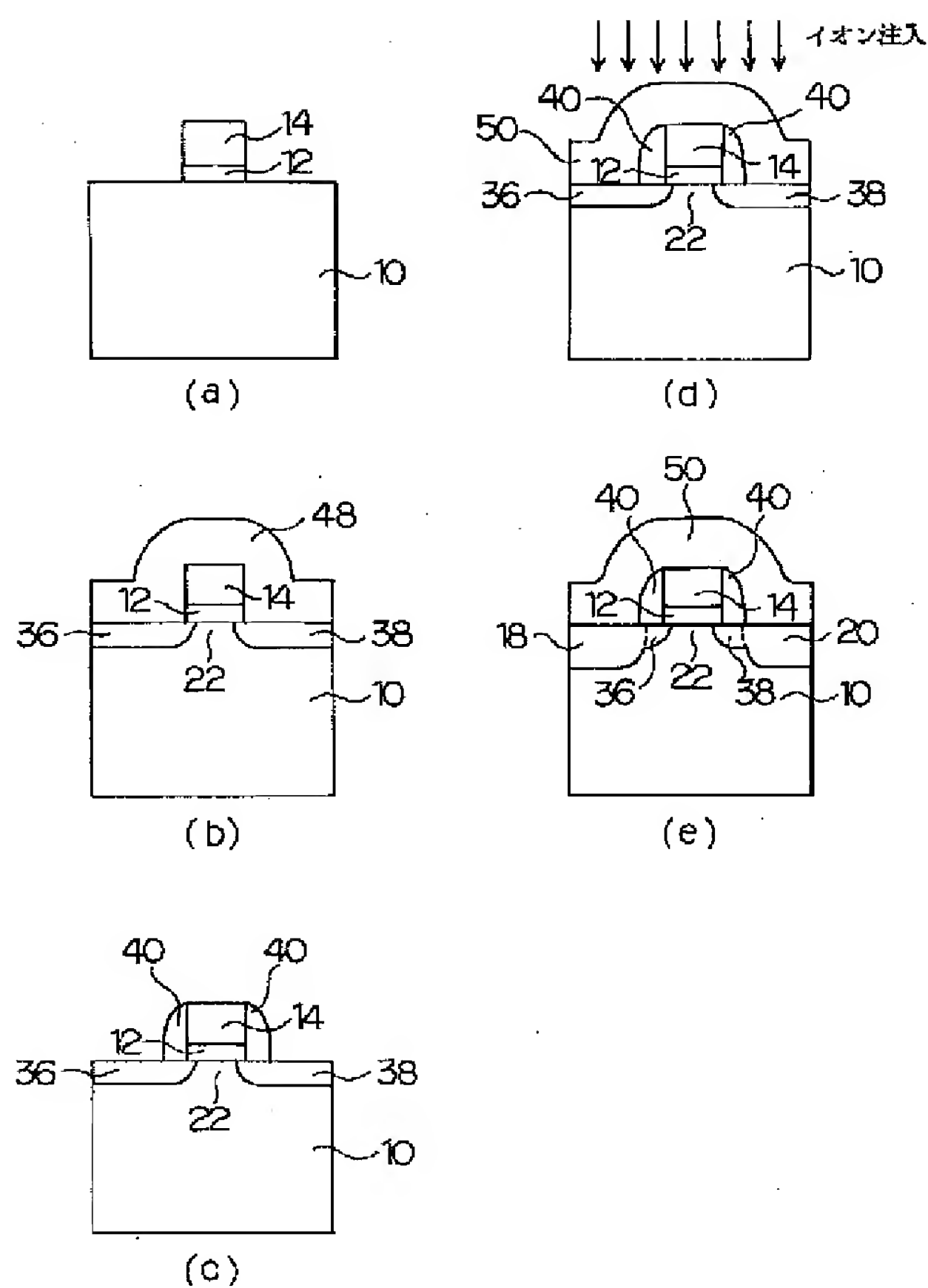
【図26】



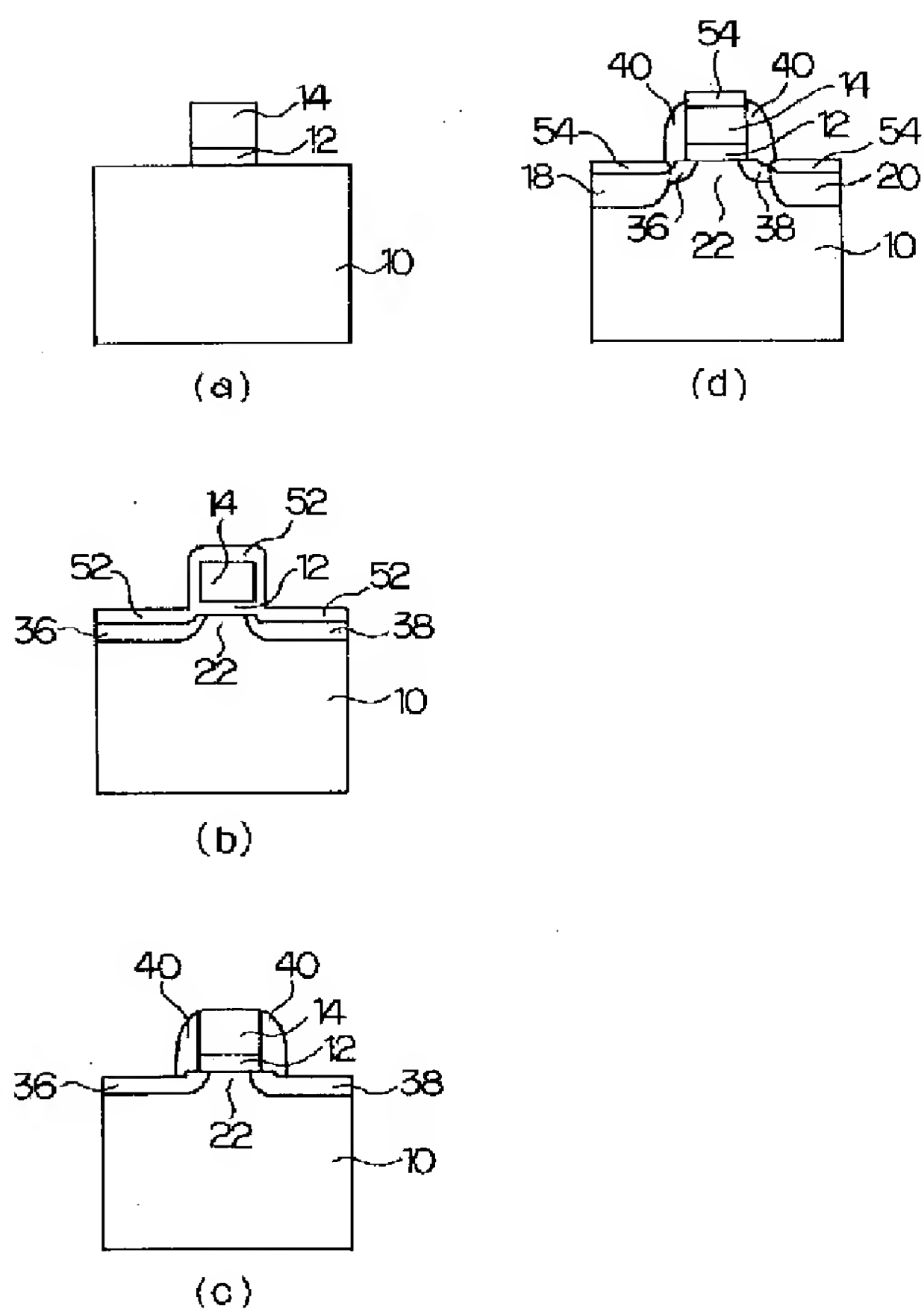
【図31】



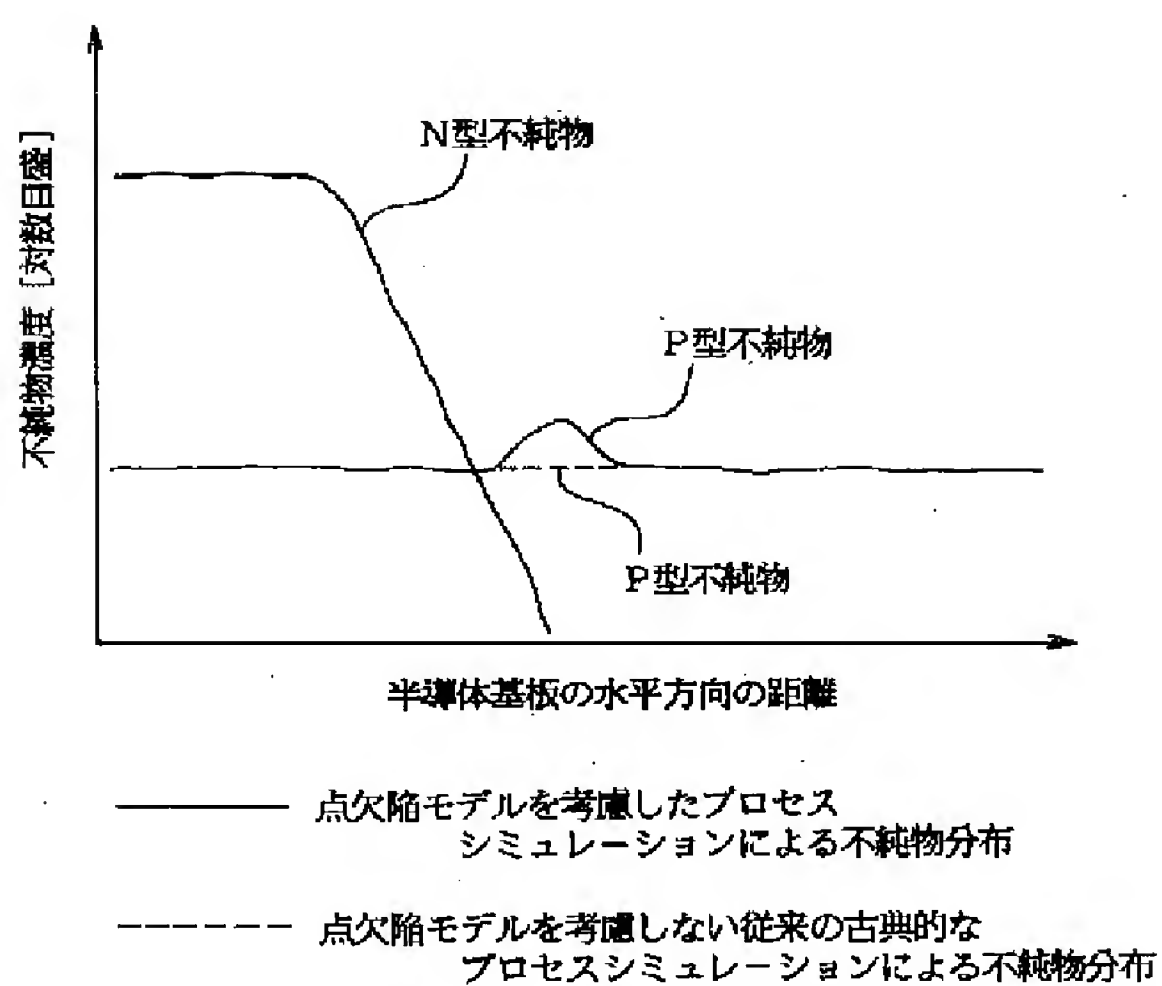
【図18】



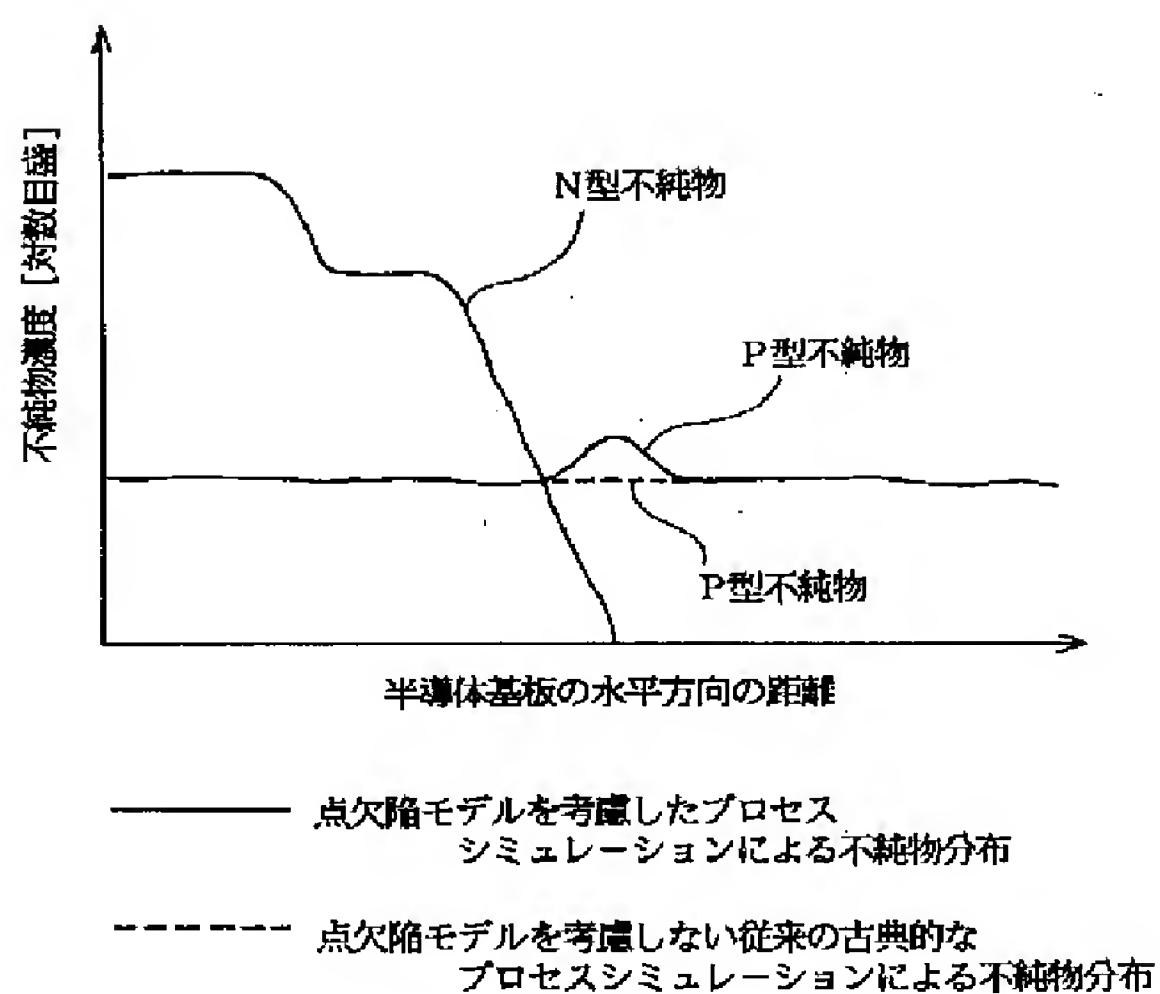
【図20】



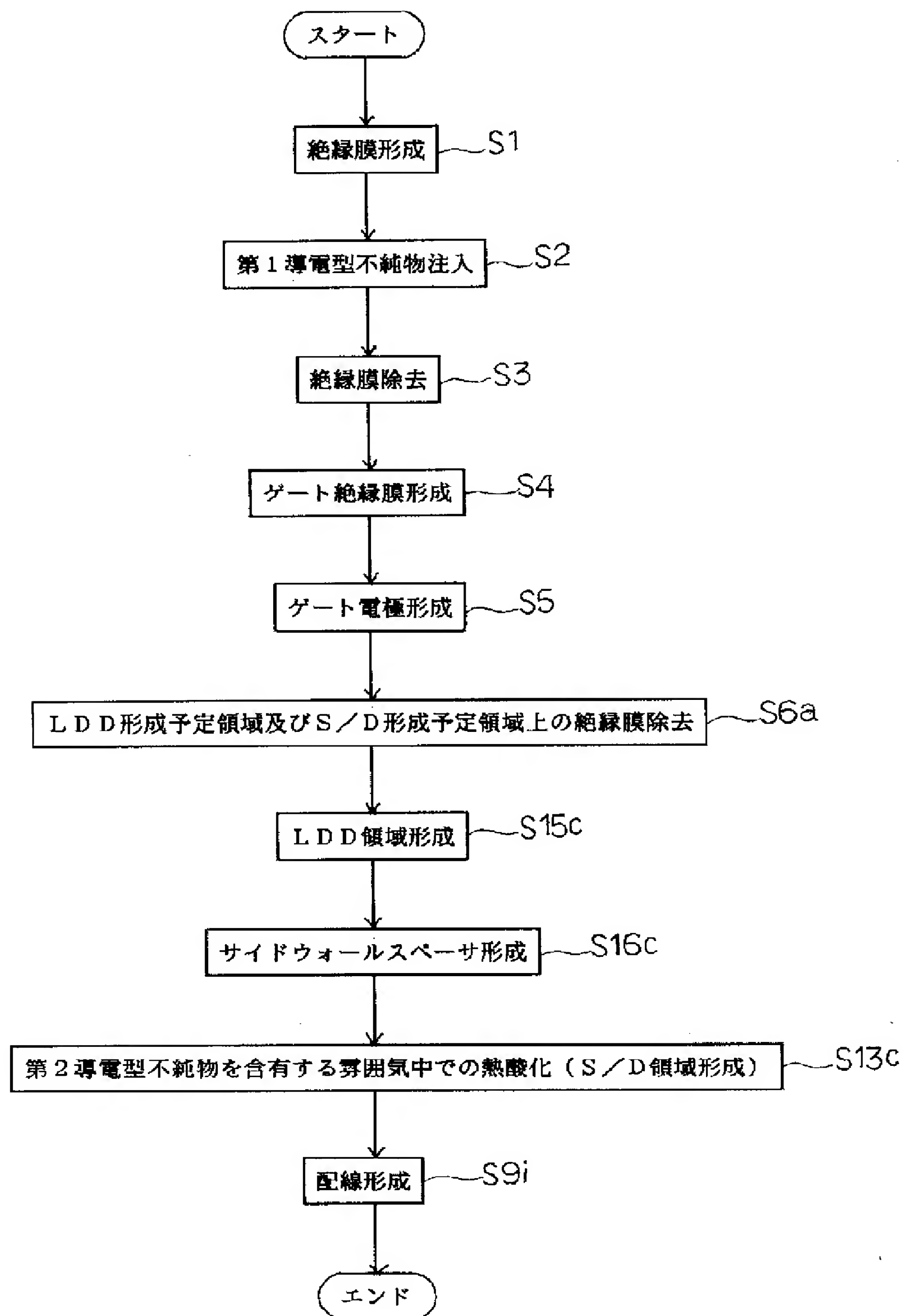
【図32】



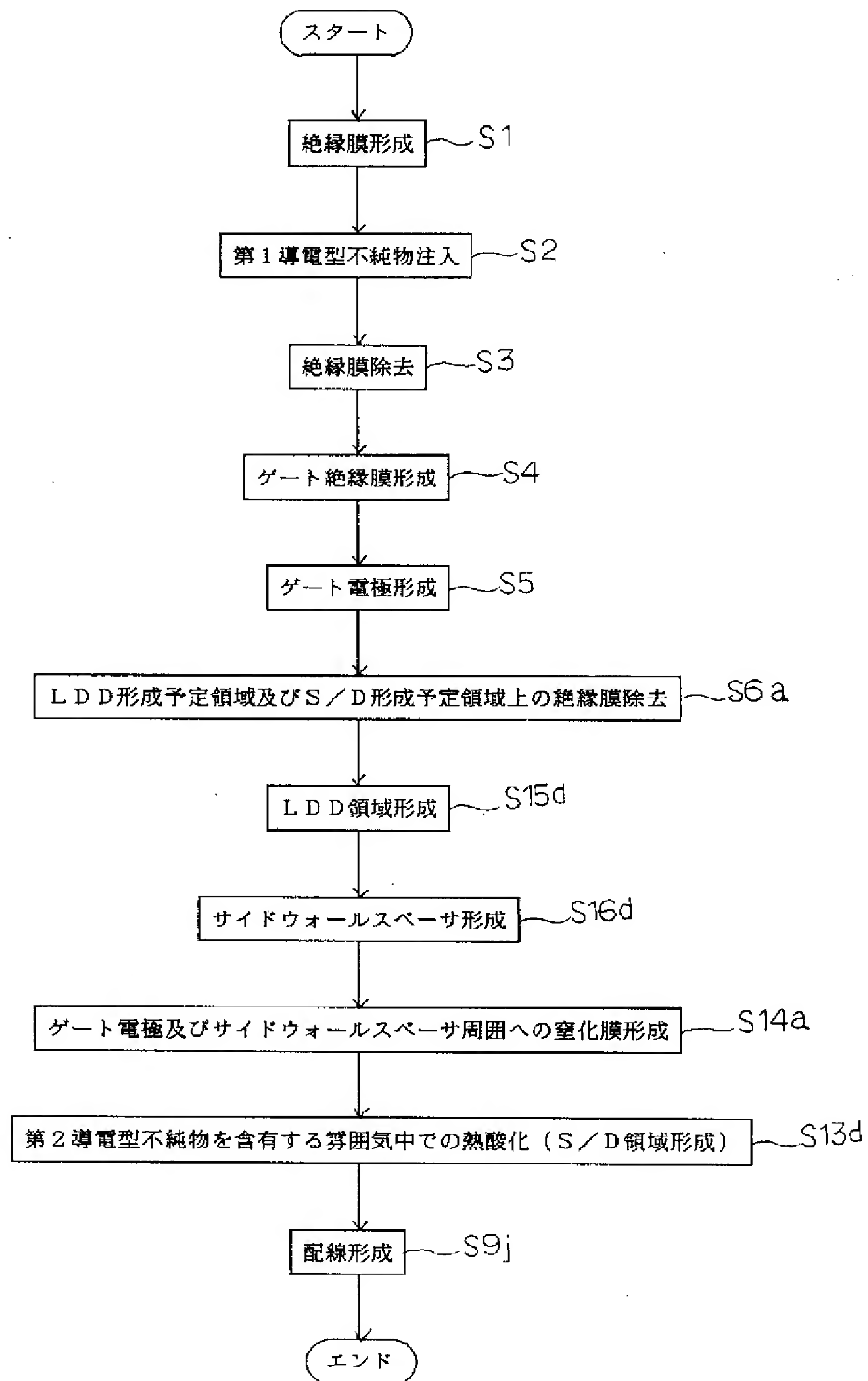
【図33】



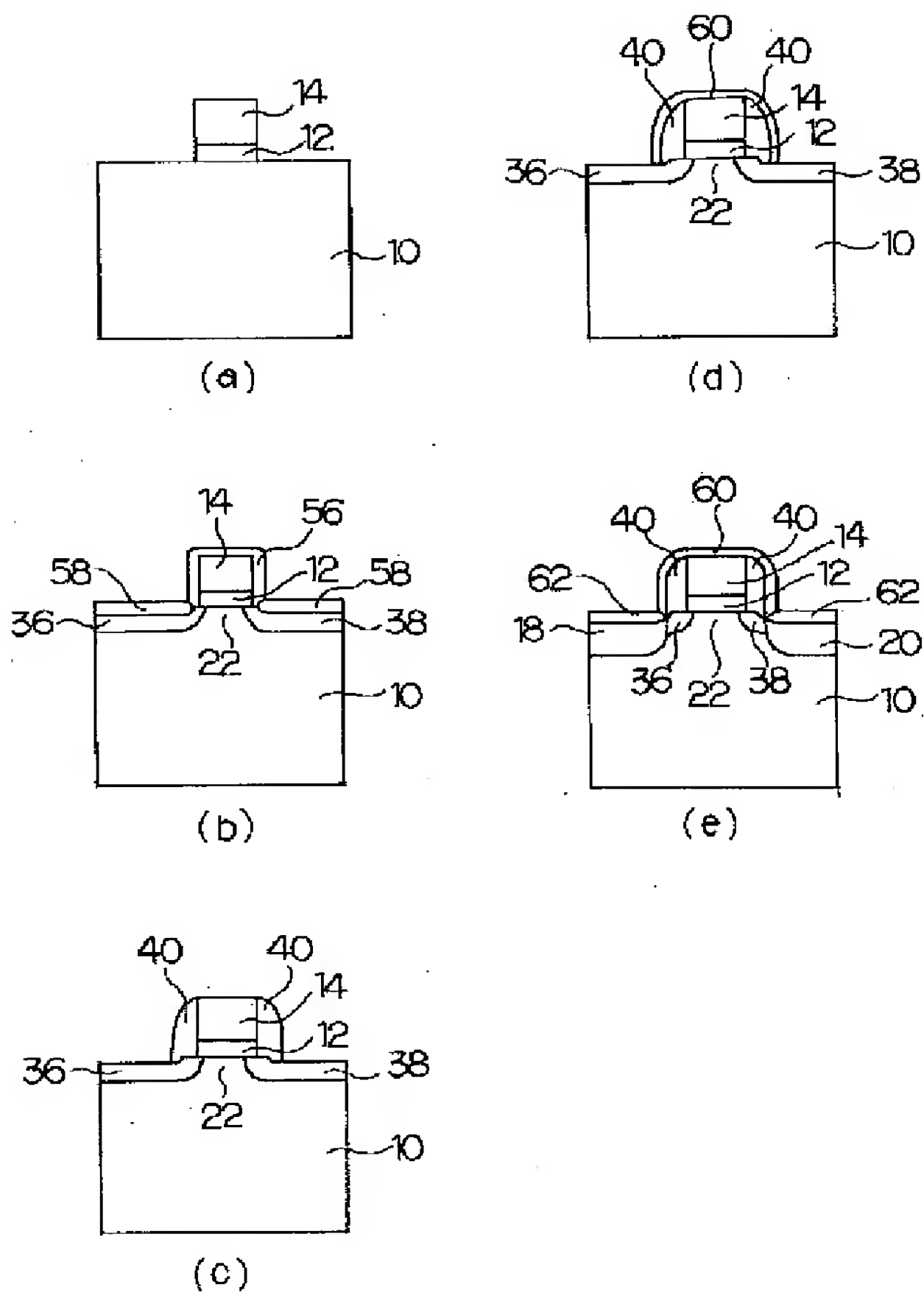
【図19】



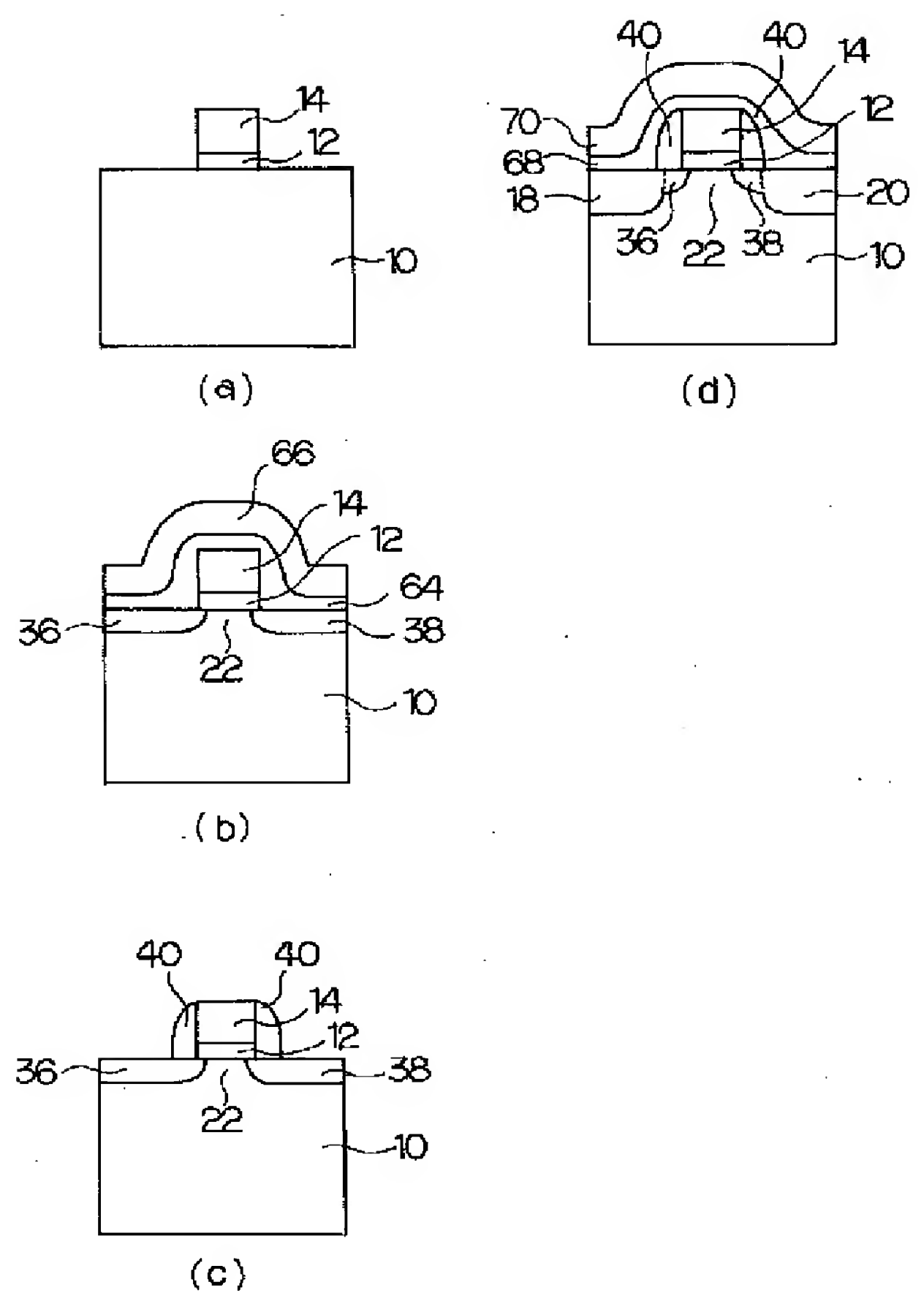
【図21】



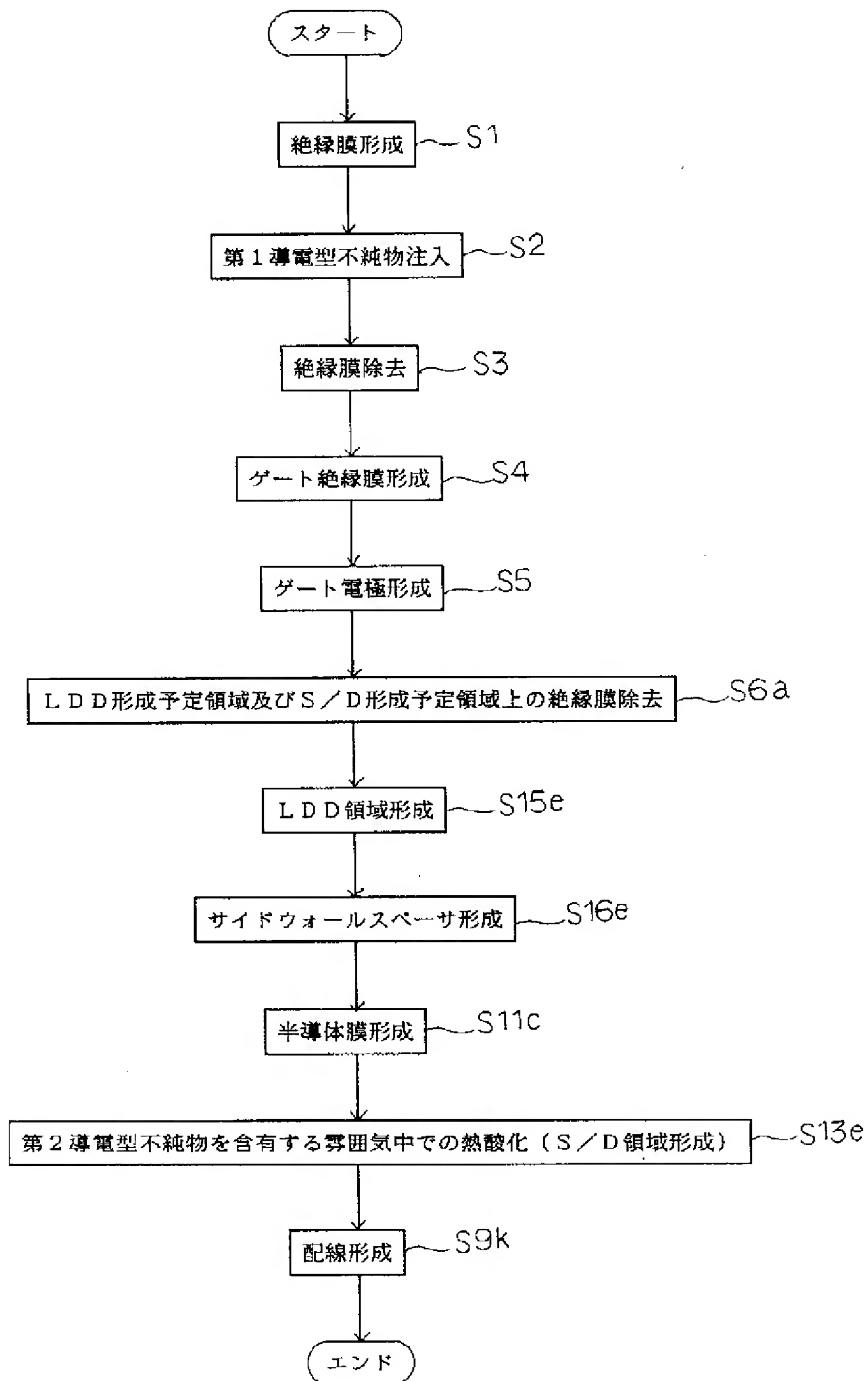
【図22】



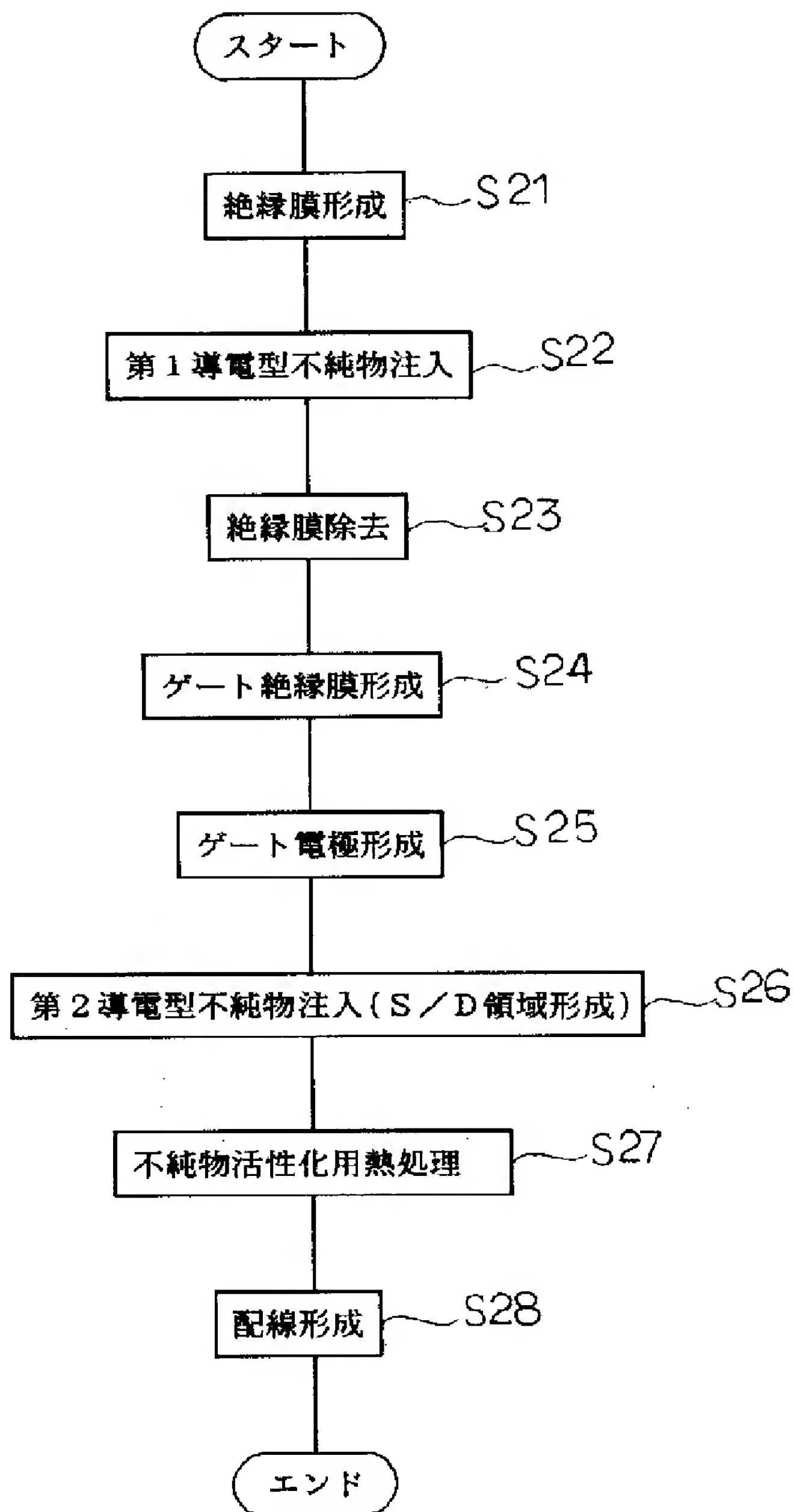
【図24】



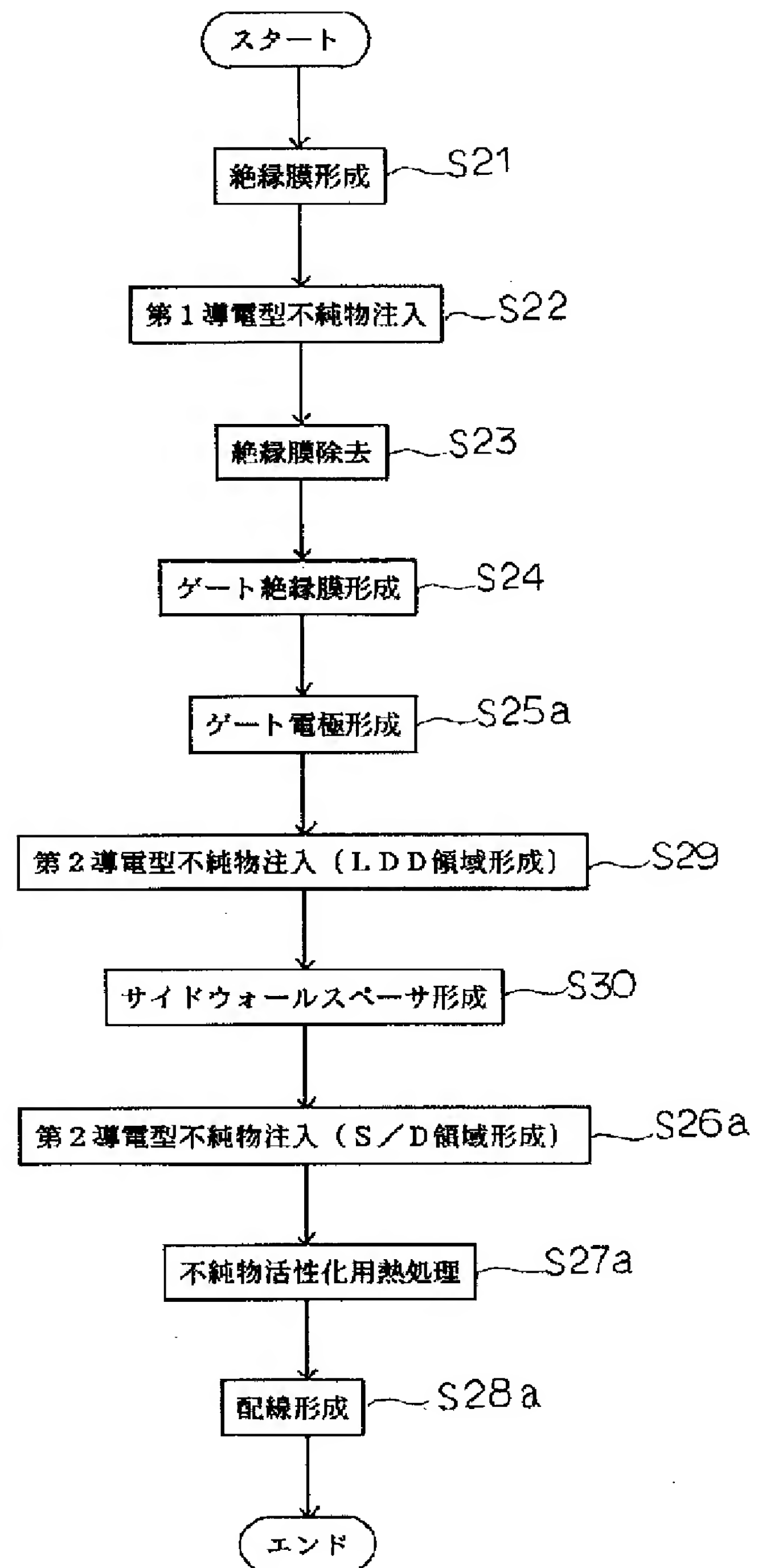
【図23】



【図25】



【図27】



【図28】

